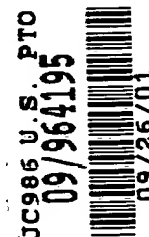


#2

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Katsutoshi Seki	Examiner:	Unassigned
Serial No:	Unassigned	Art Unit:	Unassigned
Filed:	Herewith	Docket:	14954
For:	SELF ORTHOGONAL DECODING CIRCUIT AND SELF ORTHOGONAL DECODING METHOD		Dated: September 26, 2001




Assistant Commissioner for Patents
United States Patent and Trademark Office
Washington, D.C. 20231

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 2000-293231, filed on September 27, 2000.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No.: 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

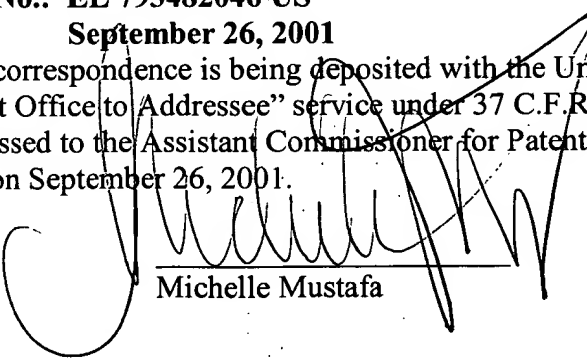
CERTIFICATE OF MAILING BY "EXPRESS MAIL"

Express Mailing Label No.: EL 793482046 US

Date of Deposit: September 26, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents and Trademarks, Washington, D.C. 20231 on September 26, 2001.

Dated: September 26, 2001


Michelle Mustafa

日本国特許庁
JAPAN PATENT OFFICE

US #2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 9月27日

出願番号
Application Number:

特願2000-293231

出願人
Applicant(s):

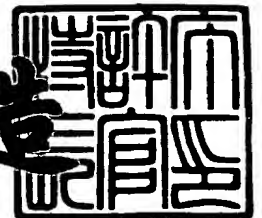
日本電気株式会社



2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-304342/0

【書類名】 特許願

【整理番号】 47500379

【提出日】 平成12年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 29/06

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 関 克敏

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088812

 【弁理士】

 【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

 【予納台帳番号】 030982

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自己直交符号復号回路及び自己直交符号復号方法

【特許請求の範囲】

【請求項 1】 自己直交符号に対する復号を行う自己直交符号復号回路であって、前記自己直交符号に対する復号を複数回繰り返すようにしたことを特徴とする自己直交符号復号回路。

【請求項 2】 情報系列に検査系列を付加して並列／直列変換した送信系列に誤りが付加された受信系列の前記誤りのみによって決定されるシンδροームビットを基に自己直交符号に対する復号を行う自己直交符号復号回路であって、前記自己直交符号に対する復号を複数回繰り返すための複数段の復号回路と、前記複数段の復号回路のうちの最終段の復号回路を除く復号回路各々に設けられかつ前記検査系列を遅延させて次段の復号回路に入力する検査系列レジスタとを有することを特徴とする自己直交符号復号回路。

【請求項 3】 前記複数段の復号回路において、前記自己直交符号に対する 1 回目の復号における前記誤りと判定するための閾値判定閾値を大きく設定して誤りである確率が高いものだけを訂正し、前記自己直交符号に対する復号を繰り返すのにしたがって当該復号の前記閾値判定閾値を徐々に減少させて誤りである確率が低いものも訂正するようにしたことを特徴とする請求項 2 記載の自己直交符号復号回路。

【請求項 4】 前記誤りと判定された誤り数をカウントしかつそのカウントした誤り検出数を基に符号同期判定を行う手段を含むことを特徴とする請求項 2 または請求項 3 記載の自己直交符号復号回路。

【請求項 5】 前記誤りを判定する回路とは別に符号同期専用設けられかつ前記符号同期用に最適化された閾値判定閾値に基づいて前記誤りか否かを判定する符号同期専用閾値判定回路を含み、前記符号同期専用閾値判定回路の閾値を前記閾値判定閾値よりも低く設定するようにしたことを特徴とする請求項 3 記載の自己直交符号復号回路。

【請求項 6】 符号同期専用設けられかつ前記シンδροームビットをシフ

トして前記符号同期専用閾値判定回路に出力するシンδροームレジスタを含み、前記シンδροームレジスタに対して前記符号同期専用閾値判定回路の誤り判定結果に基づく修正を行わないようにしたことを特徴とする請求項 5 記載の自己直交符号復号回路。

【請求項 7】 前記複数段の復号回路各々は、前記シンδροームビットを生成するシンδροーム生成手段と、前記シンδροーム生成手段で生成された前記シンδροームビットの誤りを前記閾値判定閾値を基に判定して誤り値を導出する誤り値生成手段と、前記誤り値生成手段で生成された前記誤り値を基に前記シンδροームビットの誤りを訂正する誤り訂正手段と、前記誤り値生成手段で生成された前記誤り値を基に前記誤り数をカウントする誤り検出数カウンタとを含むことを特徴とする請求項 4 から請求項 6 のいずれか記載の自己直交符号復号回路。

【請求項 8】 情報系列を発生する情報源と、前記情報系列を符号系列に変換する符号器と、前記符号系列を伝送する通信路とからなるシステムにおいて、前記自己直交符号に対する復号を複数回繰り返すようにしたことを特徴とする請求項 1 から請求項 7 のいずれか記載の自己直交符号復号回路。

【請求項 9】 前記通信路が有線ケーブルからなることを特徴とする請求項 8 記載の自己直交符号復号回路。

【請求項 10】 前記有線ケーブルが光ケーブルであることを特徴とする請求項 9 記載の自己直交符号復号回路。

【請求項 11】 前記通信路が無線通信の伝送路からなることを特徴とする請求項 8 記載の自己直交符号復号回路。

【請求項 12】 自己直交符号に対する復号を行う自己直交符号復号方法であって、前記自己直交符号に対する復号を複数回繰り返すようにしたことを特徴とする自己直交符号復号方法。

【請求項 13】 情報系列に検査系列を付加して並列／直列変換した送信系列に誤りが付加された受信系列の前記誤りのみによって決定されるシンδροームビットを基に自己直交符号に対する復号を行う自己直交符号復号方法であって、前記自己直交符号に対する復号を複数回繰り返すための複数段の復号回路のうちの最終段の復号回路を除く復号回路各々において前記検査系列を遅延させて次段

の復号回路に入力するステップを有することを特徴とする自己直交符号復号方法

【請求項 1 4】 前記複数段の復号回路において、前記自己直交符号に対する 1 回目の復号における前記誤りと判定するための閾値判定閾値を大きく設定して誤りである確率が高いものだけを訂正し、前記自己直交符号に対する復号を繰り返すのにしたがって当該復号の前記閾値判定閾値を徐々に減少させて誤りである確率が低いものも訂正するようにしたことを特徴とする請求項 1 3 記載の自己直交符号復号方法。

【請求項 1 5】 前記誤りと判定された誤り数をカウントしかつそのカウントした誤り検出数を基に符号同期判定を行うステップを含むことを特徴とする請求項 1 3 または請求項 1 4 記載の自己直交符号復号方法。

【請求項 1 6】 前記誤りを判定する回路とは別に符号同期専用 to 設けられかつ前記符号同期用に最適化された閾値判定閾値に基づいて前記誤りか否かを判定する符号同期専用閾値判定回路の閾値を前記閾値判定閾値よりも低く設定するようにしたことを特徴とする請求項 1 5 記載の自己直交符号復号方法。

【請求項 1 7】 符号同期専用 to 設けられかつ前記シンドロームビットをシフトして前記符号同期専用閾値判定回路に出力するシンドロームレジスタを含み、前記シンドロームレジスタに対して前記符号同期専用閾値判定回路の誤り判定結果に基づく修正を行わないようにしたことを特徴とする請求項 1 6 記載の自己直交符号復号方法。

【請求項 1 8】 前記シンドロームビットを生成するステップと、その生成された前記シンドロームビットの誤りを前記閾値判定閾値を基に判定して誤り値を導出するステップと、その導出された誤り値を基に前記シンドロームビットの誤りを訂正するステップと、前記誤り値を基に前記誤り数をカウントするステップとを前記複数段の復号回路各々に含むことを特徴とする請求項 1 5 から請求項 1 7 のいずれか記載の自己直交符号復号方法。

【請求項 1 9】 情報系列を発生する情報源と、前記情報系列を符号系列に変換する符号器と、前記符号系列を伝送する通信路とからなるシステムにおいて、前記自己直交符号に対する復号を複数回繰り返すようにしたことを特徴とする

請求項 1 2 から請求項 1 8 のいずれか記載の自己直交符号復号方法。

【請求項 2 0】 前記通信路が有線ケーブルからなることを特徴とする請求項 1 9 記載の自己直交符号復号方法。

【請求項 2 1】 前記有線ケーブルが光ケーブルであることを特徴とする請求項 2 0 記載の自己直交符号復号方法。

【請求項 2 2】 前記通信路が無線通信の伝送路からなることを特徴とする請求項 1 9 記載の自己直交符号復号方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は自己直交符号復号回路及び自己直交符号復号方法に関し、特に非常に簡単で、装置化しやすい畳み込み符号である自己直交符号の復号回路に関する。

【0 0 0 2】

【従来の技術】

自己直交符号は復号が非常に簡単で、装置化しやすいという特徴があり、衛星通信の分野や光通信、あるいは有線ケーブルによる通信で広く用いられている。しかしながら、従来の自己直交符号においては、畳み込み符号の最尤復号である V i t e r b i 復号と比較し、誤り訂正能力の点で劣る。

【0 0 0 3】

この従来の自己直交符号の復号器の構成を図 2 5 に示す。尚、図 2 5 においては、符号化率 1 / 2 の自己直交符号の場合の構成を示している。この場合、符号生成多項式は、

$$G 1 = 1 + x^2 + x^5 + x^6 \quad \dots\dots (1)$$

という式、直交数は 4 とする。自己直交符号の理論的背景及び従来技術の復号器の実現方法の詳細については、“符号理論”（今井秀樹著、電子情報通信学会刊、p p . 2 7 4 - 2 7 8、平成 2 年 3 月）に記載されている。

【0 0 0 4】

符号化率 1 / 2 の自己直交符号では、符号器において情報系列と同じ割合の検査系列を付加し、情報系列と検査系列とが交互に並んだ送信系列を生成する。送

信系列は線路に出力され、送信系列に誤りを付加した受信系列 Y が復号器に入力される。

【 0 0 0 5 】

従来の自己直交符号復号器は、符号同期及び直列／並列変換回路 7 と、シンドローム系列生成回路 8 と、誤り値生成回路 1 0 と、誤り訂正部 9 とから構成されている。

【 0 0 0 6 】

復号器に入力された受信系列は符号同期及び直列／並列変換回路 7 に入力される。符号同期及び直列／並列変換回路 7 は符号同期をとり、受信系列 Y を情報系列 I と検査系列 P とに直列／並列変換し、シンドローム系列生成回路 8 に出力する。

【 0 0 0 7 】

符号同期は誤り値生成回路 1 0 から入力される誤り数カウント値 EC を基に行う。例えば、誤り検出数 EC が閾値以上の場合には符号同期がはずれていると判断し、シンドローム系列生成回路 8 に出力する並列信号の位相を変化させる。シンドローム系列生成回路 8 は符号同期及び直列／並列変換回路 7 から入力された情報系列 I と検査系列 P とを基に、シンドローム系列 S を生成する。

【 0 0 0 8 】

このシンドローム系列生成回路 8 の構成を図 2 6 に示す。図 2 6 において、シンドローム系列生成回路 8 は第 1 ～第 6 次情報系列レジスタ 8 1 - 1 ～ 8 1 - 6 と、排他的論理和回路 8 2 とから構成されている。

【 0 0 0 9 】

情報系列 I は第 1 次情報系列レジスタ 8 1 - 1 に入力され、クロック毎に、第 2 ～第 6 次情報系列レジスタ 8 1 - 2 ～ 8 1 - 6 にシフトしていく。第 1 ～第 6 次情報系列レジスタ 8 1 - 1 ～ 8 1 - 6 によって遅延された情報系列 I は遅延情報系列 ID として誤り訂正部 9 に出力される。

【 0 0 1 0 】

情報系列レジスタの次数は生成多項式の次数に対応している。入力された情報系列 I は生成多項式の 0 次に対応している。0 でない係数を持つ生成多項式の次

数に対応するデータ及び検査系列Pは排他的論理和回路82に入力される。

【0011】

本例の生成多項式は、0, 2, 5, 6次に0でない係数を持つので、情報系列Iと、第2、第5、第6情報系列レジスタ出力と、検査系列Pとが排他的論理和回路82に入力される。排他的論理和回路82は入力信号の排他的論理和をとり、シンドローム系列Sとして誤り値生成回路10に出力する。

【0012】

誤り値生成回路10はシンドローム系列生成回路8から入力されたシンドローム系列Sを基に誤り値を導出する。誤り値生成回路10の構成を図27に示す。図27において、誤り値生成回路10は第0～第5次シンドロームレジスタ101-0～101-5と、多数決判定回路103と、誤り検出数カウンタ104と、シンドローム修正用排他的論理和回路102-1～102-3とから構成されている。シンドロームレジスタの次数は生成多項式の次数に対応している。

【0013】

入力されたシンドローム系列Sは生成多項式の最高次（6次）に対応している。0でない係数を持つ生成多項式の次数に対応するデータは、多数決判定回路103に入力される。直交数をJとすると、多数決判定回路103の判定閾値Aは

【数1】

$$A = \lfloor J/2 \rfloor + 1$$

となる。

【0014】

多数決判定回路103は値が“1”である入力信号数が判定閾値A以上の場合には誤りが発生したと判断し、誤り値Eとして“1”を出力する。多数決判定回路103は値が“1”である入力信号数が判定閾値A未満の場合には誤りなしと

判断し、誤り値Eとして“0”を出力する。

【0015】

本例の生成多項式は、0, 2, 5, 6 次で、0でない係数を持つので、第0、第2、第5シンドロームレジスタ101-0, 101-2, 101-5の出力とシンドローム系列Sとが多数決判定回路103に入力される。したがって、多数決判定回路103は4つの入力信号を持つ。多数決判定回路103は4つの入力信号のうち、値が“1”である入力信号が3以上ある場合には誤りが発生したと判断し、誤り値Eとして“1”を出力する。

【0016】

シンドローム系列Sは高次のシンドロームレジスタから低次のシンドロームレジスタへクロック毎にシフトしていく。多数決判定回路103で誤りを検出した場合、その誤りの影響をシンドローム系列Sから除去することによって、誤り訂正能力を向上可能なことが知られている。誤りの影響をシンドローム系列Sから除去するため、多数決判定回路103に入力される信号は、誤りを検出した場合に値を反転し、低次のシンドロームレジスタに入力する。

【0017】

具体的には、シンドローム修正用排他的論理和回路102-1～102-3によって値の反転を行う。シンドローム修正用排他的論理和回路102-1～102-3はそれぞれ、シンドローム系列Sと第5、第2シンドローム情報系列レジスタ101-5, 101-2の出力を第1の入力とし、誤り値Eを第2の入力とする。シンドローム修正用排他的論理和回路102-1～102-3は第1の入力と第2の入力との排他的論理和をとり、排他的論理和結果をそれぞれ第5、第4、第1次シンドロームレジスタ101-5, 101-4, 101-1に出力する。

【0018】

誤り検出数カウンタ104は誤り値Eを入力とし、一定時間に検出した誤り数をカウントする。カウントした誤り検出数ECは符号同期及び直列／並列変換回路7に出力される。誤り訂正部9は誤り値生成回路8から入力された誤り値Eを基に、シンドローム系列生成回路10から入力された遅延情報系列IDを訂正し

、訂正情報系列 I C として出力する。

【 0 0 1 9 】

【発明が解決しようとする課題】

上述した従来の自己直交符号復号回路では、復号が非常に簡単で装置化しやすいが、畳み込み符号の最尤復号である V i t e r b i 復号と比較して、誤り訂正能力が低いという問題がある。

【 0 0 2 0 】

そこで、本発明の目的は上記の問題点を解消し、簡単な回路構成で実現することができ、大幅に誤り訂正能力を向上させることができる自己直交符号復号回路及びその方法を提供することにある。

【 0 0 2 1 】

【課題を解決するための手段】

本発明による自己直交符号復号回路は、自己直交符号に対する復号を行う自己直交符号復号回路であって、前記自己直交符号に対する復号を複数回繰り返すようにしている。

【 0 0 2 2 】

本発明による他の自己直交符号復号回路は、情報系列に検査系列を付加して並列／直列変換した送信系列に誤りが付加された受信系列の前記誤りのみによって決定されるシンδροームビットを基に自己直交符号に対する復号を行う自己直交符号復号回路であって、前記自己直交符号に対する復号を複数回繰り返すための複数段の復号回路と、前記複数段の復号回路のうちの最終段の復号回路を除く復号回路各々に設けられかつ前記検査系列を遅延させて次段の復号回路に入力する検査系列レジスタとを備えている。

【 0 0 2 3 】

本発明による自己直交符号復号方法は、自己直交符号に対する復号を行う自己直交符号復号方法であって、前記自己直交符号に対する復号を複数回繰り返すようにしている。

【 0 0 2 4 】

本発明による他の自己直交符号復号方法は、情報系列に検査系列を付加して並

列／直列変換した送信系列に誤りが付加された受信系列の前記誤りのみによって決定されるシンドロームビットを基に自己直交符号に対する復号を行う自己直交符号復号方法であって、前記自己直交符号に対する復号を複数回繰り返すための複数段の復号回路のうちの最終段の復号回路を除く復号回路各々において前記検査系列を遅延させて次段の復号回路に入力するステップを備えている。

【 0 0 2 5 】

すなわち、本発明の自己直交符号復号回路では、自己直交符号に対する復号を複数回繰り返すことによって、誤り訂正能力を向上させるようにした回路及び方法である。

【 0 0 2 6 】

より具体的に、本発明の自己直交符号復号回路では、検査系列レジスタによって検査系列を遅延させて次段復号回路に入力する構成をとることによって、復号を複数回繰り返すことが可能となり、誤り訂正能力が大幅に向上可能となる。

【 0 0 2 7 】

また、本発明の自己直交符号復号回路では、1回目の復号の閾値判定閾値を大きく設定し、誤りである確率が高いものだけを訂正し、復号を繰り返すのにしたがつて閾値判定回路の閾値を徐々に減少させ、誤りである確率が低いものも訂正していくことによって、誤訂正が起こりにくくなり、誤り訂正能力が大幅に向上可能となる。

【 0 0 2 8 】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の実施の形態による自己直交符号復号回路の構成を示すブロック図である。図1において、本発明の実施の形態による自己直交符号復号回路は符号同期及び直列／並列変換回路1と、第1段復号回路2と、第2段復号回路3とから構成されている。

【 0 0 2 9 】

ここで、符号化率を $K / (K + 1)$ 、直交数 J とし、第1～第 K の生成多項式 $G_1 \sim G_K$ を、

【数 2】

$$G_1 = x^{d_{1,1}} + x^{d_{1,2}} + \cdots + x^{d_{1,J}}$$

$$G_2 = x^{d_{2,1}} + x^{d_{2,2}} + \cdots + x^{d_{2,J}}$$

•

•

•

$$G_K = x^{d_{K,1}} + x^{d_{K,2}} + \cdots + x^{d_{K,J}}$$

..... (2)

$$d_{1,1} < d_{1,2} < \cdots < d_{1,J}$$

$$d_{2,1} < d_{2,2} < \cdots < d_{2,J}$$

•

•

•

$$d_{K,1} < d_{K,2} < \cdots < d_{K,J}$$

とする。直交数 J は生成多項式が 0 でない係数をもつ次数の個数である。

【0 0 3 0】

符号化率 $K / (K + 1)$ の自己直交符号では図示せぬ符号器において第 1 ～ K

情報系列に検査系列を付加し、 $K + 1$ 個の並列信号を並列／直列変換した送信系列を生成する。送信系列は線路に出力され、送信系列に誤りを付加した受信系列 Y が復号回路に入力される。尚、自己直交符号については、“符号理論”（今井秀樹著、電子情報通信学会刊、pp. 274 - 278、平成2年3月）に記載されている。

【0031】

復号回路に入力された受信系列 Y は符号同期及び直列／並列変換回路 1 に入力される。符号同期及び直列／並列変換回路 1 は符号同期をとり、受信系列 Y を情報系列 $I_1 \sim I_K$ と検査系列 P とに直列／並列変換し、第 1 段復号回路 2 に出力する。

【0032】

符号同期は第 1 段復号回路 2 から入力される誤り検出数 EC を基に行う。例えば、誤り検出数 EC が閾値以上の場合には符号同期がはずれていると判断し、第 1 段復号回路 2 に出力する並列信号の位相を変化させる。

【0033】

第 1 段復号回路 2 は情報系列 $I_1 \sim I_K$ と検査系列 P とを入力とし、それら情報系列 $I_1 \sim I_K$ と検査系列 P とを基に誤り訂正を行い、第 1 段訂正第 1 ～第 K 情報系列 $I_1_C_1 \sim I_K_C_1$ と遅延検査系列 PD とを第 2 段復号回路 3 に出力する。

【0034】

第 2 段復号回路 3 は第 1 段復号回路 2 で誤り数が減少した第 1 段訂正第 1 ～第 K 情報系列 $I_1_C_1 \sim I_K_C_1$ に対して誤り訂正を行い、更に誤り数を減少させる。

【0035】

図 2 は図 1 の第 1 段復号回路 2 の構成を示すブロック図である。図 2 において、第 1 段復号回路 2 はシンδροーム系列生成回路 21 と、誤り値生成回路 22 と、誤り訂正回路 23 と、誤り検出数カウンタ 24 と、検査系列レジスタ 25 とから構成されている。

【0036】

シンドローム系列生成回路 2 1 は符号同期及び直列／並列変換回路 1 から入力された第 1 ～第 K 情報系列 $I_1 \sim I_K$ と検査系列 P とを基にシンドローム系列 S_1 を生成する。誤り値生成回路 2 2 はシンドローム系列生成回路 2 1 から入力されたシンドローム系列 S_1 を基に誤り値を導出する。

【 0 0 3 7 】

誤り検出数カウンタ 2 4 は誤り値 $E_1 _1 \sim E_K _1$ を入力とし、一定時間に検出した誤り数をカウントする。カウントした誤り検出数 E_C は符号同期及び直列／並列変換回路 1 に出力される。

【 0 0 3 8 】

誤り訂正回路 2 3 は誤り値生成回路 2 2 から入力された誤り値 $E_1 _1 \sim E_K _1$ を基に、シンドローム系列生成回路 2 1 から入力された遅延情報系列 $I_1 _D1 \sim I_K _D1$ を訂正し、第 1 段訂正第 1 ～第 K 情報系列 $I_1 _C1 \sim I_K _C1$ を第 2 段復号回路 3 へ出力する。

【 0 0 3 9 】

検査系列レジスタ 2 5 は検査系列 P を第 2 段復号回路 3 へ渡すために用いられる。第 1 ～第 K の生成多項式 $G_1 \sim G_K$ の最大次数 $d_{1,J} \sim d_{K,J}$ の最大値を d_{\max} とすると、検査系列レジスタ 2 5 は d_{\max} 個のシフトレジスタから構成されることになる。検査系列 P は検査系列レジスタ 2 5 に入力され、クロック毎にシフトされていく。 d_{\max} クロック遅延された検査系列 P は遅延検査系列 PD として第 2 段復号回路 3 に出力される。

【 0 0 4 0 】

図 3 は図 2 のシンドローム系列生成回路 2 1 の構成を示すブロック図である。図 3 において、シンドローム系列生成回路 2 1 は第 1 ～第 K 情報系列レジスタ $211-1 \sim 211-K$ と、第 1 ～第 K 情報系列排他的論理和回路 $212-1 \sim 212-K$ と、シンドローム系列生成排他的論理和回路 2 1 3 とから構成されている。

【 0 0 4 1 】

第 1 ～第 K 情報系列レジスタ $211-1 \sim 211-K$ は、第 1 ～第 K の生成多項式 $G_1 \sim G_K$ の最大次数 $d_{1,J} \sim d_{K,J}$ の最大値を d_{\max} とすると、それぞれ

、 d_{\max} 個のシフトレジスタから構成されることになる。第1～第K情報系列 $I_1 \sim I_K$ は第1～第K情報系列レジスタ $211-1 \sim 211-K$ に入力され、クロック毎にシフトしていく。 d_{\max} クロック遅延された第1～第K情報系列 $I_1 \sim I_K$ は遅延第1～第K情報系列 $I_1_D1 \sim I_K_D1$ として誤り訂正回路23に出力される。

【0042】

第1～第K情報系列レジスタ $211-1 \sim 211-K$ 中の d_{\max} 個のシフトレジスタは第1～第K生成多項式の次数に対応している。具体的には、第1～第K情報系列 $I_1 \sim I_K$ が入力される1段目のレジスタの出力は生成多項式の1次に対応し、 d_{\max} 段目のシフトレジスタの出力は生成多項式の d_{\max} 次に対応している。第1～第K情報系列 $I_1 \sim I_K$ は生成多項式の0次に対応している。

【0043】

0でない係数を持つ生成多項式の次数に対応する信号は第1～第K情報系列排他的論理和回路 $212-1 \sim 212-K$ に入力される。例えば、第1生成多項式 G_1 は $d_{1,1} \sim d_{1,J}$ 次のJ個の次数で0でない係数を持つので、第1～第K情報系列レジスタ $211-1$ 中の $d_{1,1}$ 番目～ $d_{1,J}$ 番目のシフトレジスタの出力が第1情報系列排他的論理和回路 $212-1$ に入力される。

【0044】

第1～第K情報系列排他的論理和回路 $212-1 \sim 212-K$ はそれぞれJ個の入力信号の排他的論理和をとり、演算結果をシンδροーム系列生成排他的論理和回路213に出力する。シンδροーム系列生成排他的論理和回路213は第1～第K情報系列排他的論理和回路 $212-1 \sim 212-K$ の出力と、検査系列Pとの排他的論理和をとり、演算結果をシンδροーム系列S1として誤り値生成回路22に出力する。

【0045】

図4は図2の誤り値生成回路22の構成を示すブロック図である。図4において、誤り値生成回路22はシンδροームレジスタ221と、第1～第K閾値判定回路 $222-1 \sim 222-K$ とから構成されている。

【0046】

シンドロームレジスタ 2 2 1 は d_{\max} 個のシフトレジスタから構成されている。シンドローム系列 S_1 はシンドロームレジスタ 2 2 1 に入力され、クロック毎にシフトされていく。シンドロームレジスタ 2 2 1 中の d_{\max} 個のシフトレジスタは生成多項式の次数に対応している。具体的には、シンドローム系列 S_1 が入力される 1 段目のレジスタの出力は生成多項式の $(d_{\max} - 1)$ 次に対応し、 d_{\max} 段目のシフトレジスタの出力は生成多項式の 0 次に対応している。シンドローム系列 S_1 は生成多項式の d_{\max} 次に対応している。

【0 0 4 7】

0 でない係数を持つ生成多項式の次数に対応する信号は、対応する閾値判定回路に出力される。例えば、第 1 生成多項式 G_1 は $d_{1,1} \sim d_{1,J}$ 次の J 個の次数で 0 でない係数を持つので、シンドロームレジスタ 2 2 1 中の $(d_{\max} - d_{1,1})$ 段目 $\sim (d_{\max} - d_{1,J})$ 段目のシフトレジスタの出力が第 1 閾値判定回路 2 2 2 - 1 に出力される。

【0 0 4 8】

第 1 \sim 第 K 閾値判定回路 2 2 2 - 1 \sim 2 2 2 - K は J 個の入力信号のうち、値が “1” である信号が B 個以上ある場合に誤りが発生したと判断し、誤り値 $E_1 _1 \sim E_K _1$ として “1” を出力する。ここで、 B 個は、

【数 3】

$$B = \lfloor J/2 \rfloor + \alpha$$

$\lfloor J/2 \rfloor$ は $J/2$ を下回らない最小の自然数、 α は自然数

である。

【0 0 4 9】

値が “1” である信号が B 個未満の場合には誤りなしと判断し、誤り値 $E_1 _1 \sim E_K _1$ として “0” を出力する。例えば、第 1 閾値判定回路 2 2 2 - 1 の入力信号の内、値が “1” である信号が B 個あった場合、シンドローム系列生成回路 2 1 から出力される遅延第 1 \sim 第 K 情報系列 $I_1 _1 \sim D_1$ に誤りが発生したと

判断し、誤り値 E_{1_1} として “1” を出力する。閾値判定回路閾値 B は J を超えない範囲で任意に設定することができる。

【 0 0 5 0 】

閾値判定回路で誤りを検出した場合、その誤りの影響をシンδροーム系列 S_1 から除去することによって、誤り訂正能力を向上させることができる。誤りの影響をシンδροーム系列 S_1 から除去するため、誤り値 $E_{1_1} \sim E_{K_1}$ をシンδροームレジスタ 2_2_1 にフィードバックする。フィードバックされた誤り値が 1 の場合、対応するシフトレジスタのレジスタ値を反転させる。

【 0 0 5 1 】

例えば、誤り値 E_{1_1} が “1” の場合には、シンδροームレジスタ 2_2_1 中の $(d_{\max} - d_{1,1})$ 段目 $\sim (d_{\max} - d_{1,J})$ 段目のシフトレジスタの値を反転させる。

【 0 0 5 2 】

図 5 は図 1 の第 2 段復号回路 3 の構成を示すブロック図である。図 5 において、第 2 段復号回路 3 はシンδροーム系列生成回路 3 1 と、誤り値生成回路 3 2 と、誤り訂正回路 3 3 とから構成されている。

【 0 0 5 3 】

第 2 段復号回路 3 は符号同期のための誤り検出数カウンタと、次段の復号回路へ検査系列を渡すための検査系列レジスタがないこと、及び誤り値生成回路 3 2 中の閾値判定回路の閾値が異なること以外は図 2 に示す第 1 段復号回路 2 と全く同じ構成で実現することができ、動作も同じである。

【 0 0 5 4 】

シンδροーム系列生成回路 3 1 は第 1 段復号回路 2 から入力された第 1 段訂正第 1 \sim 第 K 情報系列 $I_{1_C1} \sim I_{K_C1}$ と遅延検査系列 PD とを基にシンδροーム系列 S_2 を生成する。誤り値生成回路 3 2 はシンδροーム系列生成回路 3 1 から入力されたシンδροーム系列 S_2 を基に、誤り値を導出する。

【 0 0 5 5 】

誤り訂正回路 3 3 は誤り値生成回路 3 2 から入力された誤り値 $E_{1_2} \sim E_{K_2}$ を基に、シンδροーム系列生成回路 3 1 から入力された遅延情報系列 $I_{1_}$

D 2 ~ I K _ D 2 を訂正し、第 2 段訂正第 1 ~ 第 K 情報系列 I 1 _ C 2 ~ I K _ C 2 として出力する。

【 0 0 5 6 】

図 6 は図 5 のシンドローム系列生成回路 3 1 の構成を示すブロック図である。図 6 において、シンドローム系列生成回路 3 1 は第 1 ~ 第 K 情報系列レジスタ 3 1 1 - 1 ~ 3 1 1 - K と、第 1 ~ 第 K 情報系列排他的論理和回路 3 1 2 - 1 ~ 3 1 2 - K と、シンドローム系列生成排他的論理和回路 3 1 3 とから構成されている。

【 0 0 5 7 】

第 1 ~ 第 K 情報系列レジスタ 3 1 1 - 1 ~ 3 1 1 - K は d_{\max} 個のシフトレジスタから構成されている。第 1 段訂正第 1 ~ 第 K 情報系列 I 1 _ C 1 ~ I K _ C 1 は第 1 ~ 第 K 情報系列レジスタ 3 1 1 - 1 ~ 3 1 1 - K に入力され、クロック毎にシフトされていく。 d_{\max} クロック遅延された第 1 段訂正第 1 ~ 第 K 情報系列 I 1 _ C 1 ~ I K _ C 1 は遅延第 1 ~ 第 K 情報系列 I 1 _ D 2 ~ I K _ D 2 として誤り訂正回路 3 3 に出力される。

【 0 0 5 8 】

第 1 段復号回路 2 中のシンドローム系列生成回路 2 1 と同様に、第 1 ~ 第 K 情報系列レジスタ 3 1 1 - 1 ~ 3 1 1 - K 中の d_{\max} 個のシフトレジスタは第 1 ~ 第 K 生成多項式の次数に対応している。0 でない係数を持つ生成多項式の次数に対応する信号は、第 1 ~ 第 K 情報系列排他的論理和回路 3 1 2 - 1 ~ 3 1 2 - K に入力される。

【 0 0 5 9 】

第 1 ~ 第 K 情報系列排他的論理和回路 3 1 2 - 1 ~ 3 1 2 - K はそれぞれ J 個の入力信号の排他的論理和をとり、演算結果をシンドローム系列生成排他的論理和回路 3 1 3 に出力する。シンドローム系列生成排他的論理和回路 3 1 3 は第 1 ~ 第 K 情報系列排他的論理和回路 3 1 2 - 1 ~ 3 1 2 - K の出力と、遅延検査系列 P D との排他的論理和をとり、演算結果をシンドローム系列 S 2 として誤り値生成回路 3 2 に出力する。

【 0 0 6 0 】

図 7 は図 5 の誤り値生成回路 3 2 の構成を示すブロック図である。図 7 において、誤り値生成回路 3 2 はシンドロームレジスタ 3 2 1 と、第 1 ～第 K 閾値判定回路 3 2 2 - 1 ～3 2 2 - K とから構成されている。

【0 0 6 1】

シンドロームレジスタ 3 2 1 は d_{\max} 個のシフトレジスタから構成されている。シンドローム系列 S 2 はシンドロームレジスタ 3 2 1 に入力され、クロック毎にシフトされていく。第 1 段復号回路 2 中のシンドロームレジスタ 2 2 1 と同様に、シンドロームレジスタ 3 2 1 中の d_{\max} 個のシフトレジスタは生成多項式の次数に対応している。0 でない係数を持つ生成多項式の次数に対応する信号は対応する閾値判定回路に出力される。

【0 0 6 2】

第 1 ～第 K 閾値判定回路 3 2 2 - 1 ～3 2 2 - K は J 個の入力信号のうち、値が “1” である信号が閾値判定回路閾値 C 個以上ある場合に誤りが発生したと判断し、誤り値 $E_{1_2} \sim E_{K_2}$ として “1” を出力する。ここで、閾値判定回路閾値 C 個は、

【数 4】

$$C = \lfloor J/2 \rfloor + \beta$$

である。尚、 β は自然数である。

【0 0 6 3】

値が “1” である信号が閾値判定回路閾値 C 個未満の場合には誤りなしと判断し、誤り値 $E_{1_2} \sim E_{K_2}$ として “0” を出力する。閾値判定回路閾値 C は J を超えない範囲で任意に設定することができる。

【0 0 6 4】

例えば、閾値判定回路閾値を上記の A とした場合の第 2 段復号回路 3 と、閾値判定回路閾値 A の従来技術の復号回路とを比較すると、第 2 段復号回路 3 は第 1

段復号回路 2 において一部の誤りが訂正された信号を入力としているので、従来回路では訂正することができない誤りも訂正することができ、従来回路に比べて残留誤り数を低くすることができる。

【 0 0 6 5 】

図 8 は本発明の実施の形態による自己直交符号復号回路の動作を示すフローチャートであり、図 9 は図 1 の第 1 段復号回路 2 による復号処理を示すフローチャートである。これら図 1 と図 2 と図 5 と図 8 と図 9 とを参照して本発明の実施の形態による自己直交符号復号回路の動作について説明する。

【 0 0 6 6 】

自己直交符号復号回路に受信系列 Y が入力されると、符号同期及び直列／並列変換回路 1 は符号同期をとり、受信系列 Y を情報系列 I 1 ～ I K と検査系列 P とに直列／並列変換し、第 1 段復号回路 2 に出力する（図 8 ステップ S 1）。

【 0 0 6 7 】

ここで、符号同期は第 1 段復号回路 2 から入力される誤り検出数 E C を基に行う。例えば、誤り検出数 E C が閾値以上の場合には符号同期がはずれていると判断し、第 1 段復号回路 2 に出力する並列信号の位相を変化させる。

【 0 0 6 8 】

第 1 段復号回路 2 は情報系列 I 1 ～ I K と検査系列 P とを入力とし、それら情報系列 I 1 ～ I K と検査系列 P とを基に誤り訂正を行い、第 1 段訂正第 1 ～第 K 情報系列 I 1 __ C 1 ～ I K __ C 1 と遅延検査系列 P D とを第 2 段復号回路 3 に出力する（図 8 ステップ S 2）。

【 0 0 6 9 】

すなわち、第 1 段復号回路 2 のシンドローム系列生成回路 2 1 は符号同期及び直列／並列変換回路 1 から入力された第 1 ～第 K 情報系列 I 1 ～ I K と検査系列 P とを基にシンドローム系列 S 1 を生成し（図 9 ステップ S 1 1）、その生成したシンドローム系列 S 1 を格納する（図 9 ステップ S 1 2）。誤り値生成回路 2 2 はシンドローム系列生成回路 2 1 から入力されたシンドローム系列 S 1 を基に誤り判定を行い（図 9 ステップ S 1 3）、誤り値を導出する。

【 0 0 7 0 】

誤り検出数カウンタ24は誤り値 $E_{1_1} \sim E_{K_1}$ を入力とし、一定時間に検出した誤り数をカウントし、カウント結果を誤り検出数 EC として符号同期及び直列／並列変換回路1に出力する（図9ステップS17）。

【0071】

誤り訂正回路23は誤り値生成回路22から入力された誤り値 $E_{1_1} \sim E_{K_1}$ を基に、シンドローム系列生成回路21から入力された遅延情報系列 $I_{1_D1} \sim I_{K_D1}$ を訂正し（図9ステップS14）、第1段訂正第1～第K情報系列 $I_{1_C1} \sim I_{K_C1}$ を第2段復号回路3へ出力する（図9ステップS15）。

【0072】

検査系列レジスタ25は第1～第Kの生成多項式 $G_1 \sim G_K$ の最大次数 $d_{1,J} \sim d_{K,J}$ の最大値を d_{\max} とすると、検査系列 P をクロック毎にシフトし、 d_{\max} クロック遅延した検査系列 P を遅延検査系列 PD として第2段復号回路3に出力する（図9ステップS16）。

【0073】

続いて、第2段復号回路3は上記の第1段復号回路2による復号処理と同様の処理を行い（図8ステップS3）、第1段復号回路2で誤り数が減少した第1段訂正第1～第K情報系列 $I_{1_C1} \sim I_{K_C1}$ に対して誤り訂正を行い、さらに誤り数を減少させる。

【0074】

すなわち、第2段復号回路3のシンドローム系列生成回路31は第1段復号回路2から入力された第1段訂正第1～第K情報系列 $I_{1_C1} \sim I_{K_C1}$ と遅延検査系列 PD とを基にシンドローム系列 $S2$ を生成する。誤り値生成回路32はシンドローム系列生成回路31から入力されたシンドローム系列 $S2$ を基に、誤り値を導出する。

【0075】

誤り訂正回路33は誤り値生成回路32から入力された誤り値 $E_{1_2} \sim E_{K_2}$ を基に、シンドローム系列生成回路31から入力された遅延情報系列 $I_{1_D2} \sim I_{K_D2}$ を訂正し、第2段訂正第1～第K情報系列 $I_{1_C2} \sim I_{K_C2}$

C 2 として出力する。

【 0 0 7 6 】

上記のように、本発明の実施の形態による自己直交符号復号回路は第 1 段復号回路～第 N 段復号回路（図 1 において、第 3 段復号回路～第 N 段復号回路は図示せず）による復号処理を繰り返し（図 8 ステップ S 4 ～ S N + 1）、誤り数を徐々に減少させることによって誤り訂正能力を向上させている。

【 0 0 7 7 】

特に、1 回目の復号の閾値判定閾値を大きく設定し、誤りである確率が高いものだけを訂正し、復号を繰り返すのにしただけで閾値判定回路の閾値を徐々に減少させ、誤りである確率が低いものも訂正していくと、誤訂正が起こりにくくなり、誤り訂正能力が大幅に向上する。尚、第 2 段復号回路～第 N 段復号回路による復号処理は図 9 に示す第 1 段復号回路 2 による復号処理と同様である。

【 0 0 7 8 】

閾値判定回路で誤りを検出した場合、その誤りの影響をシンδροーム系列から除去することによって誤り訂正能力を向上させることができる。誤りの影響をシンδροーム系列から除去するため、誤り値 $E_{1_2} \sim E_{K_2}$ をシンδροームレジスタ 3 2 1 にフィードバックする。フィードバックされた誤り値が“1”の場合、対応するシフトレジスタのレジスタ値を反転する。

【 0 0 7 9 】

上述した本発明の実施の形態による復号回路では、復号を 2 回繰り返す場合について説明したが、復号回数は図 8 に示すように、任意に設定することができ、これに限定されるものではない。

【 0 0 8 0 】

図 1 0 は本発明の実施の形態による自己直交符号復号回路を用いたシステムの構成例を示すブロック図である。図 1 0 において、本システムは上述した構成及び動作をとる自己直交符号復号回路 1 1 と、情報系列を発生する情報源 1 2 と、情報源 1 2 で発生した情報系列を符号系列に変換する符号器 1 3 と、符号器 1 3 で変換された符号系列を自己直交符号復号回路 1 1 に伝送する通信路 1 4 とから構成されている。

【 0 0 8 1 】

すなわち、自己直交符号復号回路 1 1 は上述したように、符号同期及び直列／並列変換回路 1 と、第 1 段復号回路 2 と、第 2 段復号回路 3 とから構成され、符号器 1 3 で変換された符号系列を通信路 1 4 を介して受信系列として受取ると、上記のような処理動作によって、復号処理（符号同期や誤り訂正等）を行う。

【 0 0 8 2 】

尚、情報源 1 2 としては CD (Compact Disk)、や DVD (Digital Versatile Disk)、及びハードディスク等の記憶媒体、情報を生成する情報処理装置、オーディオ信号等を発生する発生回路等があり、通信路としては無線通信、有線ケーブルや光ケーブル等による有線通信等があるが、これらに限定されるものではない。

【 0 0 8 3 】

図 1 1 は本発明の実施の形態による自己直交符号復号回路を用いた無線システムの構成例を示すブロック図である。図 1 1 において、本無線システムは上述した構成及び動作をとる自己直交符号復号回路 1 1 と、情報系列を発生する情報源 1 2 と、情報源 1 2 で発生した情報系列を符号系列に変換する符号器 1 3 と、符号器 1 3 で変換された符号系列を自己直交符号復号回路 1 1 に無線伝送するための無線送信機 1 5 及び無線受信機 1 6 とから構成されている。

【 0 0 8 4 】

すなわち、自己直交符号復号回路 1 1 は上述したように、符号同期及び直列／並列変換回路 1 と、第 1 段復号回路 2 と、第 2 段復号回路 3 とから構成され、符号器 1 3 で変換された符号系列を、無線送信機 1 5 及び無線受信機 1 6 による送受信動作によって受信系列として受取ると、上記のような処理動作によって、復号処理（符号同期や誤り訂正等）を行うようにした以外は上記の汎用的なシステムと同様となっている。

【 0 0 8 5 】

図 1 2 は本発明の実施の形態による自己直交符号復号回路を用いた光ケーブルの伝送システムの構成例を示すブロック図である。図 1 2 において、光ケーブルの伝送システムは送信局 1 7、1 9 と、受信局 1 8、2 0 とから構成されている

。尚、送信局 1 7, 1 9 及び受信局 1 8, 2 0 は陸上に設置され、送信局 1 7 と受信局 1 8 との間及び送信局 1 9 と受信局 2 0 との間はそれぞれ海底に設置された海底光ケーブル 2 0 1, 2 0 2 を介して接続されている。

【 0 0 8 6 】

送信局 1 7 から送信される光信号は海底光ケーブル 2 0 1 を介して受信局 1 8 に伝送され、受信局 1 8 でデジタル信号（電気信号）に変換されて上記の符号同期や誤り訂正等の復号処理が行われて送信局 1 9 に渡される。送信局 1 9 は受信局 1 8 で復号処理された信号を光信号に変換し、海底光ケーブル 2 0 1 を介して受信局 2 0 へと送信される。受信局 2 0 は送信局 1 9 からの光信号をデジタル信号（電気信号）に変換し、上記の符号同期や誤り訂正等の復号処理を行う。

【 0 0 8 7 】

図 1 3 は図 1 2 の受信局 1 8 の構成を示すブロック図である。図 1 3 において、受信局 1 8 は上述した構成及び動作をとる自己直交符号復号回路 1 1 と、光分離器 1 8 1 と、光電変換器 1 8 2 とから構成されている。光分離器 1 8 1 は海底光ケーブル 2 0 1 を介して入力される光信号を分離し、光電変換器 1 8 2 は分離された光信号を電気信号（デジタル信号）に変換する。

【 0 0 8 8 】

自己直交符号復号回路 1 1 は上述したように、符号同期及び直列／並列変換回路 1 と、第 1 段復号回路 2 と、第 2 段復号回路 3 とから構成され、光電変換器 1 8 2 で変換された電気信号を受信系列として受取ると、上記のような処理動作によって、復号処理（符号同期や誤り訂正等）を行う。尚、受信局 2 0 は上記の受信局 1 8 と同様の構成及び動作となっている。

【 0 0 8 9 】

図 1 4 は本発明の一実施例による自己直交符号復号回路の構成を示すブロック図である。図 1 4 において、本発明の一実施例の自己直交符号復号回路は符号同期及び直列／並列変換回路 4 と、第 1 段復号回路 5 と、第 2 段復号回路 6 とから構成されている。尚、図 1 4 においては符号化率を $1/2$ 、符号生成多項式を上記の（1）式、繰り返し復号回数を 2 とした場合の回路構成を示している。

【 0 0 9 0 】

符号同期及び直列／並列変換回路 4 は受信系列 Y 及び第 1 段復号回路 5 から出力される誤り検出数 EC を入力とし、誤り数カウント値 EC を基に符号同期を行い、受信系列 Y を直列／並列変換し、情報系列 I と検査系列 P とを第 1 段復号回路 5 に出力する。

【 0 0 9 1 】

第 1 段復号回路 5 は情報系列 I と検査系列 P とを入力とし、情報系列 I と検査系列 P とを基に誤り訂正を行い、第 1 段訂正情報系列 IC 1 と遅延検査系列 PD とを第 2 段復号回路 6 に出力する。

【 0 0 9 2 】

第 2 段復号回路 6 は第 1 段訂正情報系列 IC 1 と遅延検査系列 PD とを入力とし、それら第 1 段訂正情報系列 IC 1 と遅延検査系列 PD とを基に誤り訂正を行い、第 2 段訂正情報系列 IC 2 を出力する。

【 0 0 9 3 】

図 1 5 は図 1 4 の第 1 段復号回路 5 の構成を示すブロック図である。図 1 5 において、第 1 段復号回路 5 はシンドローム系列生成回路 5 1 と、誤り値生成回路 5 2 と、誤り訂正回路 5 3 とから構成されている。

【 0 0 9 4 】

シンドローム系列生成回路 5 1 は符号同期及び直列／並列変換回路 4 から入力された情報系列 I と検査系列 P とを基にシンドローム系列 S 1 を生成する。誤り値生成回路 5 2 はシンドローム系列生成回路 5 1 から入力されたシンドローム系列 S 1 を基に、誤り値を導出する。

【 0 0 9 5 】

誤り訂正回路 5 3 は誤り値生成回路 5 2 から入力された誤り値 E 1 を基に、シンドローム系列生成回路 5 1 から入力された遅延情報系列 ID 1 を訂正し、第 1 段訂正情報系列 IC 1 として第 2 段復号回路 6 に出力する。

【 0 0 9 6 】

図 1 6 は図 1 5 のシンドローム系列生成回路 5 1 の構成を示すブロック図である。図 1 6 において、シンドローム系列生成回路 5 1 は第 1 ～第 6 次情報系列レジスタ 5 1 1 - 1 ～ 5 1 1 - 6 と、排他的論理和回路 5 1 2 と、第 1 ～第 6 次検

査系列レジスタ 5 1 3 - 1 ~ 5 1 3 - 6 とから構成されている。

【 0 0 9 7 】

第 1 次情報系列レジスタ 5 1 1 - 1 は情報系列 I を入力とし、1 クロック遅延した信号を第 2 次情報系列レジスタ 5 1 1 - 2 に出力する。第 2 次情報系列レジスタ 5 1 1 - 2 は第 1 次情報系列レジスタ 5 1 1 - 1 の出力を入力とし、1 クロック遅延した信号を第 3 次情報系列レジスタ 5 1 1 - 3 に出力する。同様に、第 3 ~ 第 6 次情報系列レジスタ 5 1 1 - 3 ~ 5 1 1 - 6 も直列に接続されている。第 6 次情報系列レジスタ 5 1 1 - 6 は情報系列 I に対して 6 クロック遅延した遅延情報系列 I D 1 を誤り訂正回路 5 3 に出力する。

【 0 0 9 8 】

排他的論理和回路 5 1 2 は情報系列 I、第 2、第 5、第 6 次情報系列レジスタの出力、検査系列 P をそれぞれ入力とし、排他的論理和結果をシンドローム系列 S 1 として誤り値生成回路 5 2 に出力する。情報系列 I、第 2、第 5、第 6 次情報系列レジスタは 0 でない係数を持つ生成多項式の次数 0, 2, 5, 6 に対応している。

【 0 0 9 9 】

第 1 次検査系列レジスタ 5 1 3 - 1 は検査系列 P を入力とし、1 クロック遅延した信号を第 2 次検査系列レジスタ 5 1 3 - 2 に出力する。同様に、第 2 ~ 第 6 次検査系列レジスタ 5 1 3 - 2 ~ 5 1 3 - 6 も直列に接続されている。第 6 次検査系列レジスタ 5 1 3 - 6 は検査系列 P に対して 6 クロック遅延した遅延検査系列 P D を第 2 段復号回路 6 に出力する。

【 0 1 0 0 】

図 1 7 は図 1 5 の誤り値生成回路 5 2 の構成を示すブロック図である。図 1 7 において、誤り値生成回路 5 2 は第 0 ~ 第 5 次シンドロームレジスタ 5 2 1 - 0 ~ 5 2 1 - 5 と、閾値判定回路 5 2 3 と、誤り検出数カウンタ 5 2 4 と、シンドローム修正用排他的論理和回路 5 2 2 - 1 ~ 5 2 2 - 3 とから構成されている。

【 0 1 0 1 】

閾値判定回路 5 2 3 はシンドローム系列 S 1 及び第 5、第 2、第 0 次シンドロームレジスタの出力を入力とし、値が“1”である入力信号数が閾値以上の場合

に誤りが発生したと判断し、誤り値E 1として“1”をシンドローム修正用排他的論理和回路5 2 2 - 1 ~ 5 2 2 - 3と誤り検出数カウンタ5 2 4と誤り訂正回路5 3とにそれぞれ出力する。

【0 1 0 2】

値が1である入力信号数が閾値未満の場合には誤りなしと判断し、誤り値E 1として0を出力する。シンドローム系列S 1及び第5、第2、第0次シンドロームレジスタは0でない係数を持つ生成多項式の次数6, 5, 2, 0にそれぞれ対応している。

【0 1 0 3】

第0 ~ 第5次シンドロームレジスタ5 2 1 - 0 ~ 5 2 1 - 5及びシンドローム修正用排他的論理和回路5 2 2 - 1 ~ 5 2 2 - 3はシンドローム系列をクロック毎に、高次のレジスタから低次のレジスタへシフトしていく機能を有する。さらに、誤りの影響をシンドローム系列から除去するため、閾値判定回路5 2 3へ出力した信号は誤りを検出した場合、値を反転する機能も有する。上記の機能を実現するため、第0 ~ 第5次シンドロームレジスタ5 2 1 - 0 ~ 5 2 1 - 5及びシンドローム修正用排他的論理和回路5 2 2 - 1 ~ 5 2 2 - 3を下記のように接続する。

【0 1 0 4】

シンドローム修正用排他的論理和回路5 2 2 - 1はシンドローム系列S 1と誤り値E 1とを入力とし、排他的論理和結果を第5次シンドロームレジスタ5 2 1 - 5へ出力する。第5次シンドロームレジスタ5 2 1 - 5はシンドローム修正用排他的論理和回路5 2 2 - 1の出力を入力とし、1クロック遅延した信号をシンドローム修正用排他的論理和回路5 2 2 - 2と閾値判定回路5 2 3とにそれぞれ出力する。

【0 1 0 5】

シンドローム修正用排他的論理和回路5 2 2 - 2は第5次シンドロームレジスタ5 2 1 - 5の出力と誤り値E 1とを入力とし、排他的論理和結果を第4次シンドロームレジスタ5 2 1 - 4へ出力する。第4次シンドロームレジスタ5 2 1 - 4はシンドローム修正用排他的論理和回路5 2 2 - 2の出力を入力とし、1クロ

ック遅延した信号を第3次シンドロームレジスタ521-3へ出力する。

【0106】

第3次シンドロームレジスタ521-3は第4次シンドロームレジスタ521-4の出力を入力とし、1クロック遅延した信号を第2次シンドロームレジスタ521-3へ出力する。第2次シンドロームレジスタ521-2は第3次シンドロームレジスタ521-3の出力を入力とし、1クロック遅延した信号をシンドローム修正用排他的論理和回路522-3と閾値判定回路523とにそれぞれ出力する。

【0107】

シンドローム修正用排他的論理和回路522-3は第2次シンドロームレジスタ521-2の出力と誤り値E1とを入力とし、排他的論理和結果を第1次シンドロームレジスタ521-1へ出力する。第1次シンドロームレジスタ521-1はシンドローム修正用排他的論理和回路522-3の出力を入力とし、1クロック遅延した信号を第0次シンドロームレジスタ521-0へ出力する。第0次シンドロームレジスタ521-0は第1次シンドロームレジスタ521-1の出力を入力とし、1クロック遅延した信号を閾値判定回路523へ出力する。

【0108】

誤り検出数カウンタ524は誤り値E1を入力とし、一定時間に検出した誤り数をカウントする。カウントした誤り検出数ECは符号同期及び直列／並列変換回路4へ出力される。伝送路状態が非常に悪く、挿入された誤りが多い場合、復号を繰り返す度に誤訂正が発生するため、符号同期時及び非同期時の誤り検出数は余り変わらなくなる。そのため、本実施例では誤り検出数カウンタ524を第1段復号回路2に設けている。但し、誤り検出数カウンタを必ずしも第1段復号回路に設ける必要はない。

【0109】

図18は図14の第2段復号回路6の構成を示すブロック図である。図18において、第2段復号回路6はシンドローム系列生成回路61と、誤り値生成回路62と、誤り訂正回路63とから構成されている。

【0110】

第2段復号回路6は符号同期のための誤り検出数カウンタと、次段の復号回路へ検査系列を渡すための検査系列レジスタがないこと以外は、図15に示す第1段復号回路5と全く同じ構成で実現することができる。

【0111】

シンドローム系列生成回路61は第1段復号回路5から入力された第1段訂正情報系列IC1と遅延検査系列PDとを基にシンドローム系列S2を生成する。誤り値生成回路62はシンドローム系列生成回路61から入力されたシンドローム系列S2を基に誤り値を導出する。

【0112】

誤り訂正回路63は誤り値生成回路62から入力された誤り値E2を基に、シンドローム系列生成回路61から入力された遅延情報系列ID2を訂正し、第2段訂正情報系列IC2として出力する。

【0113】

図19は図18のシンドローム系列生成回路61の構成を示すブロック図である。図19において、シンドローム系列生成回路61は第1～第6次情報系列レジスタ611-1～611-6と、排他的論理和回路612とから構成されている。

【0114】

第1次情報系列レジスタ611-1は第1段訂正情報系列IC1を入力とし、1クロック遅延した信号を第2次情報系列レジスタ611-2に出力する。第2次情報系列レジスタ611-2は第1次情報系列レジスタ611-1の出力を入力とし、1クロック遅延した信号を第3次情報系列レジスタ611-3に出力する。同様に、第3～第6次情報系列レジスタ611-3～611-6も直列に接続されている。第6次情報系列レジスタ611-6は第1段訂正情報系列IC1に対して6クロック遅延した遅延情報系列ID2を誤り訂正回路63に出力する。

【0115】

排他的論理和回路612は第1段訂正情報系列IC1、第2、第5、第6次情報系列レジスタの出力、遅延検査系列PDをそれぞれ入力とし、排他的論理和結

果をシンドローム系列 S_2 として誤り値生成回路 6 2 に出力する。第 1 段訂正情報系列 IC_1 、第 2、第 5、第 6 次情報系列レジスタは、0 でない係数を持つ生成多項式の次数 0, 2, 5, 6 にそれぞれ対応している。

【0 1 1 6】

図 2 0 は図 1 8 の誤り値生成回路 6 2 の構成を示すブロック図である。図 2 0 において、誤り値生成回路 6 2 は第 0 ～第 5 次シンドロームレジスタ 6 2 1 - 0 ～6 2 1 - 5 と、閾値判定回路 6 2 3 と、シンドローム修正用排他的論理和回路 6 2 2 - 1 ～6 2 2 - 3 とから構成されている。

【0 1 1 7】

閾値判定回路 6 2 3 はシンドローム系列 S_2 及び第 5、第 2、第 0 次シンドロームレジスタの出力を入力とし、値が“1”である入力信号数が閾値以上の場合に誤りが発生したと判断し、誤り値 E_2 として“1”をシンドローム修正用排他的論理和回路 6 2 2 - 1 ～6 2 2 - 3 と誤り訂正回路 6 3 とに出力する。

【0 1 1 8】

値が“1”である入力信号数が閾値未満の場合には誤りなしと判断し、誤り値 E_2 として“0”を出力する。シンドローム系列 S_2 及び第 5、第 2、第 0 次シンドロームレジスタは、0 でない係数を持つ生成多項式の次数 6, 5, 2, 0 にそれぞれ対応している。

【0 1 1 9】

第 0 ～第 5 次シンドロームレジスタ 6 2 1 - 0 ～6 2 1 - 5 及びシンドローム修正用排他的論理和回路 6 2 2 - 1 ～6 2 2 - 3 はシンドローム系列 S_2 をクロック毎に、高次のレジスタから低次のレジスタへシフトしていく機能を有する。さらに、誤りの影響をシンドローム系列 S_2 から除去するため、閾値判定回路 6 2 3 へ出力した信号は誤りを検出した場合、値を反転する機能も有する。上記の機能を実現するため、第 0 ～第 5 次シンドロームレジスタ 6 2 1 - 0 ～6 2 1 - 5 及びシンドローム修正用排他的論理和回路 6 2 2 - 1 ～6 2 2 - 3 を下記のように接続する。

【0 1 2 0】

シンドローム修正用排他的論理和回路 6 2 2 - 1 はシンドローム系列 S_2 と誤

り値E 2とを入力とし、排他的論理和結果を第5次シンドロームレジスタ6 2 1-5へ出力する。第5次シンドロームレジスタ6 2 1-5はシンドローム修正用排他的論理和回路6 2 2-1出力を入力とし、1クロック遅延した信号をシンドローム修正用排他的論理和回路6 2 2-2と閾値判定回路6 2 3とに出力する。

【0 1 2 1】

シンドローム修正用排他的論理和回路6 2 2-2は第5次シンドロームレジスタ6 2 1-5の出力と誤り値E 2とを入力とし、排他的論理和結果を第4次シンドロームレジスタ6 2 1-4へ出力する。第4次シンドロームレジスタ6 2 1-4はシンドローム修正用排他的論理和回路6 2 2-2の出力を入力とし、1クロック遅延した信号を第3次シンドロームレジスタ6 2 1-3へ出力する。

【0 1 2 2】

第3次シンドロームレジスタ6 2 1-3は第4次シンドロームレジスタ6 2 1-4の出力を入力とし、1クロック遅延した信号を第2次シンドロームレジスタ6 2 1-2へ出力する。第2次シンドロームレジスタ6 2 1-2は第3次シンドロームレジスタ6 2 1-3の出力を入力とし、1クロック遅延した信号をシンドローム修正用排他的論理和回路6 2 2-3と閾値判定回路6 2 3とに出力する。

【0 1 2 3】

シンドローム修正用排他的論理和回路6 2 2-3は第2次シンドロームレジスタ6 2 1-2の出力と誤り値E 2とを入力とし、排他的論理和結果を第1次シンドロームレジスタ6 2 1-1へ出力する。第1次シンドロームレジスタ6 2 1-1はシンドローム修正用排他的論理和回路6 2 2-3の出力を入力とし、1クロック遅延した信号を第0次シンドロームレジスタ6 2 1-0へ出力する。第0次シンドロームレジスタ6 2 1-0は第1次シンドロームレジスタ6 2 1-1の出力を入力とし、1クロック遅延した信号を閾値判定回路6 2 3へ出力する。

【0 1 2 4】

次に、本発明の一実施例による自己直交符号復号回路において、図1 4～図2 0を参照して、符号化率を $1/2$ 、符号生成多項式を上記の(1)式、直交数を4、繰り返し復号回数を2とした場合の動作について説明する。

【0 1 2 5】

符号化率 $1/2$ の自己直交符号では図示せぬ符号器において情報系列と同じ割合の検査系列を付加し、情報系列と検査系列とが交互に並んだ送信系列が生成される。送信系列は線路に出力され、送信系列に誤りを付加した受信系列 Y が復号回路に入力される。

【 0 1 2 6 】

符号同期及び直列／並列変換回路 4 は符号同期を行い、受信系列 Y を直列／並列変換し、情報系列 I と検査系列 P とを第 1 段復号回路 5 に出力する。その際、符号同期及び直列／並列変換回路 4 における符号同期は第 1 段復号回路 5 から入力される誤り検出数 EC を基に行う。例えば、誤り検出数 EC が閾値以上の場合には符号同期がはずれていると判断し、第 1 段復号回路 5 に出力する並列信号の位相を変化させる。

【 0 1 2 7 】

第 1 段復号回路 5 は情報系列 I と検査系列 P とを入力とし、それら情報系列 I と検査系列 P とを基に誤り訂正を行い、第 1 段訂正情報系列 $IC1$ と遅延検査系列 PD とを第 2 段復号回路 6 に出力する。

【 0 1 2 8 】

情報系列 I は第 1 次情報系列レジスタ 5 1 1 - 1 に入力され、クロック毎に高次の情報系列レジスタにシフトしていく。したがって、第 6 次情報系列レジスタ 5 1 1 - 6 から出力される遅延情報系列 $ID1$ は情報系列 I に対して 6 クロック遅延している。情報系列レジスタで遅延された遅延情報系列 $ID1$ は誤り訂正回路 5 3 へ出力される。

【 0 1 2 9 】

情報系列レジスタの次数は生成多項式の次数に対応している。入力された情報系列 I は生成多項式の 0 次に対応している。シンドローム系列 $S1$ は、0 でない係数を持つ生成多項式の次数に対応する信号と検査系列 P との排他的論理和で求められる。

【 0 1 3 0 】

本実施例の生成多項式は、0, 2, 5, 6 次に 0 でない係数を持つので、情報系列 I と、第 2、第 5、第 6 次情報系列レジスタ出力と、検査系列 P とが排他的

論理和回路 5 1 2 に入力される。排他的論理和回路 5 1 2 は入力信号の排他的論理をとり、シンドローム系列 S 1 として誤り値生成回路 5 2 に出力する。

【0 1 3 1】

検査系列 P は第 1 次検査系列レジスタ 5 1 3 - 1 に入力され、クロック毎に高次の検査系列レジスタにシフトしていく。したがって、第 6 次検査系列レジスタ 5 1 3 - 6 から出力される遅延検査系列 P D は検査系列 P に対して 6 クロック遅延している。情報系列と同じだけ遅延された検査系列 P D は第 2 段復号回路 6 へ出力される。

【0 1 3 2】

誤り値生成回路 5 2 はシンドローム系列生成回路 5 1 から入力されたシンドローム系列 S 1 を基に誤り値を導出する。シンドローム系列 S 1 は第 5 次シンドロームレジスタ 5 2 1 - 5 に入力され、クロック毎に低次のシンドロームレジスタへシフトしていく。シンドロームレジスタの次数は生成多項式の次数に対応している。シンドローム系列 S 1 は 6 次に対応している。

【0 1 3 3】

0 でない係数を持つ生成多項式の次数に対応する信号は閾値判定回路 5 2 3 に出力される。本実施例の場合、シンドローム系列 S 1 及び第 5、第 2、第 0 次シンドロームレジスタの出力が閾値判定回路 5 2 3 に出力される。

【0 1 3 4】

例えば、閾値判定回路 5 2 3 の閾値が 4 の場合を考える。この場合、4 つの閾値判定回路入力信号が全て “1” の場合、遅延情報系列 I D 1 に誤りが含まれていると判断し、誤り値 E 1 として “1” を出力する。値が “1” である入力信号数が 4 未満の場合、遅延情報系列 I D 1 には誤りが含まれていないと判断し、誤り値 E 1 として “0” を出力する。

【0 1 3 5】

閾値判定回路 5 2 3 で誤りを検出した場合、その誤りの影響をシンドローム系列 S 1 から除去することによって、誤り訂正能力を向上させることができる。誤りの影響をシンドローム系列 S 1 から除去するため、閾値判定回路 5 2 3 に入力される信号は誤りを検出した場合に値を反転し、低次のシンドロームレジスタに

入力する。具体的には、シンドローム修正用排他的論理和回路 5 2 2 - 1 ~ 5 2 2 - 3 によって値の反転を行う。

【 0 1 3 6 】

シンドローム修正用排他的論理和回路 5 2 2 - 1 ~ 5 2 2 - 3 はそれぞれシンドローム系列 S 1 と、第 5、第 2 次シンドロームレジスタ出力とを第 1 の入力とし、誤り値 E 1 を第 2 の入力とする。シンドローム修正用排他的論理和回路 5 2 2 - 1 ~ 5 2 2 - 3 は第 1 の入力と第 2 の入力との排他的論理和をとり、排他的論理和結果をそれぞれ第 5、第 4、第 1 次シンドロームシフトレジスタに出力する。

【 0 1 3 7 】

誤り検出数カウンタ 5 2 4 は誤り値 E 1 を入力とし、一定時間に検出した誤り数をカウントする。カウントした誤り検出数 E C は符号同期及び直列／並列変換回路 4 に出力される。

【 0 1 3 8 】

誤り訂正回路 5 3 は誤り値生成回路 5 2 から入力された誤り値 E 1 を基に、シンドローム系列生成回路 5 1 から入力された遅延情報系列 I D 1 を訂正し、第 1 段訂正情報系列 I C 1 を第 2 段復号回路 6 へ出力する。第 2 段復号回路 6 は第 1 段復号回路 5 で誤り数が減少した第 1 段訂正情報系列 I C 1 に対して誤り訂正を行い、更に誤り数を減少させる。

【 0 1 3 9 】

第 1 ~ 第 6 次情報系列レジスタ 6 1 1 - 1 ~ 6 1 1 - 6 は誤り検出処理を終了するまで情報系列を遅延する機能と、排他的論理和回路 6 1 2 とともにシンドローム系列 S 2 を生成する機能とを有する。

【 0 1 4 0 】

遅延情報系列 I D 1 は第 1 次情報系列レジスタ 6 1 1 - 1 に入力され、クロック毎に高次の情報系列レジスタにシフトしていく。情報系列レジスタで遅延された遅延情報系列 I D 2 は誤り訂正回路 6 3 へ出力される。

【 0 1 4 1 】

情報系列レジスタの次数は生成多項式の次数に対応している。遅延情報系列 I

D 1 は生成多項式の 0 次に対応している。シンドローム系列 S 2 は、0 でない係数を持つ生成多項式の次数に対応する信号と遅延検査系列 P D との排他的論理和で求められる。

【0 1 4 2】

本実施例の生成多項式は、0, 2, 5, 6 次で 0 でない係数を持つので、遅延情報系列 I D 1 と、第 2、第 5、第 6 次情報系列レジスタ出力と、遅延検査系列 P D とが排他的論理和回路 6 1 2 に入力される。排他的論理和回路 6 1 2 は入力信号の排他的論理和を取り、シンドローム系列 S 2 として誤り値生成回路 6 2 に出力する。

【0 1 4 3】

誤り値生成回路 6 2 はシンドローム系列生成回路 6 1 から入力されたシンドローム系列 S 2 を基に誤り値を導出する。シンドローム系列 S 2 は第 5 次シンドロームレジスタ 6 2 1 - 5 に入力され、クロック毎に低次のシンドロームレジスタへシフトしていく。シンドロームレジスタの次数は生成多項式の次数に対応している。シンドローム系列 S 2 は第 6 次に対応している。

【0 1 4 4】

0 でない係数を持つ生成多項式の次数に対応する信号は閾値判定回路 6 2 3 に出力される。本実施例の場合、シンドローム系列 S 2 及び第 5、第 2、第 0 次シンドロームレジスタの出力が閾値判定回路 6 2 3 に出力される。

【0 1 4 5】

例えば、閾値判定回路 6 2 3 の閾値が 3 の場合を考える。この場合、値が“1”である入力信号数が 3 以上の場合に遅延情報系列 I D 2 に誤りが含まれていると判断し、誤り値 E 2 として“1”を出力する。値が“1”である入力信号数が 3 未満の場合には遅延情報系列 I D 2 に誤りが含まれていないと判断し、誤り値 E 2 として“0”を出力する。

【0 1 4 6】

従来技術の復号回路は閾値判定回路閾値 3 の復号を 1 回行うだけである。本実施例の復号回路は復号を複数回行い、誤り訂正能力を向上させている。本実施例では第 1 段復号回路 5 の閾値判定回路閾値を 4 とし、第 2 段復号回路 6 の閾値判

定回路閾値を3としている。この場合、第1段復号回路5では誤りである確率が非常に高いものだけが訂正される。

【0147】

第2段復号回路6の閾値判定回路閾値は従来技術の復号回路と同じであるが、第1復号回路5において一部の誤りが訂正された信号を入力としているので、誤訂正も起こりにくく、従来技術の復号回路では訂正できない誤りも訂正することができる。このため、第2段復号回路6の出力は従来技術の復号回路の出力に比べて残留誤り数を低くすることができる。

【0148】

閾値判定回路623で誤りを検出した場合、その誤りの影響をシンδροーム系列S2から除去することによって、誤り訂正能力を向上させることができる。誤りの影響をシンδροーム系列S2から除去するため、閾値判定回路623に入力される信号は誤りを検出した場合に値を反転し、低次のシンδροームレジスタに入力する。具体的には、シンδροーム修正用排他的論理和回路622-1～622-3によって値の反転を行う。

【0149】

シンδροーム修正用排他的論理和回路622-1～622-3はそれぞれシンδροーム系列S2と第5、第2次シンδροームレジスタ出力を第1の入力とし、誤り値E2を第2の入力とする。シンδροーム修正用排他的論理和回路622-1～622-3は第1の入力と第2の入力との排他的論理和をとり、排他的論理和結果をそれぞれ第5、第4、第1次シンδροームシフトレジスタに出力する。

【0150】

誤り訂正回路63は誤り値生成回路62から入力された誤り値E2を基に、シンδροーム系列生成回路61から入力された遅延情報系列ID2を訂正し、第1段訂正情報系列IC2として出力する。

【0151】

本実施例では符号化率を1/2、直交数を4、符号生成多項式を(1)式、繰り返し復号回数を2としたが、任意の符号化率、直交数、生成多項式、繰り返し復号回数を設定することができる。

【0152】

従来技術では復号が非常に簡単で装置化しやすいが、誤り訂正能力が低いという問題がある。本発明では簡単な回路構成で実現することができ、従来技術に比べて大幅に誤り訂正能力を向上させることができる。

【0153】

このように、検査系列レジスタによって検査系列を遅延させて次段の復号回路に入力する構成を採用することによって、復号を複数回繰り返すことができ、誤り訂正能力を大幅に向上させることができる。

【0154】

また、1回目の復号の閾値判定閾値を大きく設定し、誤りである確率が高いものだけを訂正し、復号を繰り返すのにしたがって閾値判定回路の閾値を徐々に減少させ、誤りである確率が低いものも訂正していくことによって、誤訂正が起こりにくくなり、誤り訂正能力を大幅に向上させることができる。

【0155】

次に、本発明の他の実施例について図面を参照して説明する。本発明の一実施例では第1段復号回路中の閾値判定回路から出力される誤り値をカウントし、カウントした誤り検出数を基に、符号同期判定を行っている。しかしながら、第1段復号回路中の閾値判定回路の閾値を大きく設定すると、符号同期時の誤り検出数と非同期時の誤り検出数とがあまり変わらなくなり、符号同期・非同期の判定が困難になる。

【0156】

この問題を解決するために、本発明の他の実施例では誤り値生成用の閾値判定回路とは別に、符号同期専用に関値判定回路を設け、その閾値を低く設定する方法をとっている。以下、本発明の一実施例と同様に、符号化率を $1/2$ 、直交数を4、符号生成多項式を(1)式、繰り返し復号回数を2とした場合について、本発明の他の実施例の動作及び構成について説明する。

【0157】

尚、本発明の他の実施例による復号回路は第1段復号回路5中の誤り値生成回路52内に符号同期専用に関値判定回路を設け、その閾値を低く設定する方法を

とっている以外は本発明の一実施例と同様の構成なので、以下の説明では本発明の一実施例と同様の符号を用いるものとする。

【0158】

図21は本発明の他の実施例による第1段復号回路中の誤り値生成回路の構成を示すブロック図である。図21において、本発明の他の実施例による誤り値生成回路52は第0～第5次シンドロームレジスタ521-0～521-5と、閾値判定回路523と、誤り検出数カウンタ524と、シンドローム修正用排他的論理和回路522-1～522-3と、符号同期専用閾値判定回路525とから構成されている。

【0159】

図22は本発明の他の実施例による第1段復号回路における復号処理を示すフローチャートである。これら図21及び図22を参照して本発明の他の実施例による第1段復号回路における復号処理について説明する。尚、図22において、ステップ21～26の処理動作は図9に示すステップ11～16の処理動作と同様なので、これらの処理動作についての説明は省略する。

【0160】

0でない係数を持つ生成多項式の次数に対応する信号は符号同期専用閾値判定回路525に出力される。本実施例の場合、シンドローム系列S1及び第5、第2、第0次シンドロームレジスタの出力が符号同期専用閾値判定回路525に出力される。

【0161】

符号同期専用閾値判定回路525は値が“1”である信号が閾値以上ある場合に誤りが発生したと判断し、誤り値ESとして“1”を出力する。値が“1”である信号が閾値未満の場合には誤りなしと判断し、誤り値ESとして“0”を出力する（図22ステップS27）。

【0162】

誤り値ESは誤り検出数カウンタ524へ出力され、誤り検出数カウンタ524は一定時間に検出した誤り数をカウントする。カウントした誤り検出数ECは符号同期及び直列／並列変換回路4に出力される（図22ステップS28）。

【 0 1 6 3 】

本発明の他の実施例では、例えば符号同期専用閾値判定回路 5 2 5 の閾値が 3、閾値判定回路 5 2 3 の閾値が 4 の場合、閾値判定回路 5 2 3 が出力する誤り値 E 1 を基に誤り数をカウントする方法に比べ、符号同期・非同期の誤判定が少なくなる。

【 0 1 6 4 】

続いて、本発明の別の実施例について図面を参照して説明する。本発明の一実施例では誤り訂正能力を向上させるため、第 1 段復号回路中の閾値判定回路から出力される誤り値をフィードバックし、シンδροーム系列の修正を行っている。具体的には、閾値判定回路が誤りを検出した場合、閾値判定回路に入力したシンδροーム系列を反転させる処理を行っている。

【 0 1 6 5 】

しかしながら、シンδροーム系列の反転処理を行うと、符号同期がとれていない場合でも、シンδροームレジスタ内で 1 が格納されているレジスタ数は減少する。シンδροームレジスタ内で 1 が格納されているレジスタ数が減少すると、閾値判定回路が誤りと判定する回数も減少し、同期時と非同期との区別がつきにくくなる。

【 0 1 6 6 】

そこで、本発明の別の実施例では誤り値生成用のシンδροームレジスタ及び閾値判定回路とは別に、符号同期専用シンδροームレジスタ及び閾値判定回路を設け、符号同期用シンδροームレジスタには誤り判定結果に基づく修正を行わない方式をとっている。

【 0 1 6 7 】

以下、本発明の一実施例と同様に、符号化率を $1/2$ 、直交数を 4、符号生成多項式を (1) 式、繰り返し復号回数を 2 とした場合について、本発明の別の実施例の動作及び構成について説明する。

【 0 1 6 8 】

尚、本発明の別の実施例による復号回路は第 1 段復号回路 5 中の誤り値生成回路 5 2 内に符号同期専用シンδροームレジスタ及び閾値判定回路を設け、符号

同期用シンδροームレジスタには誤り判定結果に基づく修正を行わない方式をとっている以外は本発明の一実施例と同様の構成なので、以下の説明では本発明の一実施例と同様の符号を用いるものとする。

【 0 1 6 9 】

図 2 3 は本発明の別の実施例による第 1 段復号回路中の誤り値生成回路の構成を示すブロック図である。図 2 3 において、本発明の別の実施例による誤り値生成回路 5 2 は第 0 ～第 5 次シンδροームレジスタ 5 2 1 - 0 ～5 2 1 - 5 と、閾値判定回路 5 2 3 と、誤り検出数カウンタ 5 2 4 と、符号同期専用閾値判定回路 5 2 5 と、第 0 ～第 5 次符号同期専用シンδροームレジスタ 5 2 6 - 0 ～5 2 6 - 5 とから構成されている。

【 0 1 7 0 】

図 2 4 は本発明の別の実施例による第 1 段復号回路における復号処理を示すフローチャートである。これら図 2 3 及び図 2 4 を参照して本発明の別の実施例による第 1 段復号回路における復号処理について説明する。尚、図 2 4 において、ステップ 3 1 ～3 6 の処理動作は図 9 に示すステップ 1 1 ～1 6 の処理動作と同様なので、これらの処理動作についての説明は省略する。

【 0 1 7 1 】

シンδροーム系列 S 2 は第 5 次符号同期専用シンδροームレジスタ 5 2 6 - 5 に入力され、クロック毎に低次のシンδροームレジスタへシフトしていく（図 2 4 ステップ S 3 7）。シンδροームレジスタの次数は生成多項式の次数にそれぞれ対応している。シンδροーム系列 S 2 は 6 次に対応している。

【 0 1 7 2 】

0 でない係数を持つ生成多項式の次数に対応する信号は符号同期専用閾値判定回路 5 2 5 に出力される。本実施例の場合、シンδροーム系列 S 1 及び第 5、第 2、第 0 次符号同期専用シンδροームレジスタの出力が符号同期専用閾値判定回路 5 2 5 に出力される。符号同期専用閾値判定回路 5 2 5 は値が“1”である信号が閾値以上ある場合に誤りが発生したと判断し、誤り値 E S として“1”を出力する。値が“1”である信号が閾値未満の場合には誤りなしと判断し、誤り値 E S として“0”を出力する（図 2 4 ステップ S 3 8）。

【0173】

誤り値ESは誤り検出数カウンタ524へ出力され、誤り検出数カウンタ524は一定時間に検出した誤り数をカウントする。カウントした誤り検出数ECは符号同期及び直列／並列変換回路4に出力される（図24ステップS39）。符号同期専用閾値判定回路525に入力されるシンドローム系列は誤り判定結果に基づく修正を行っていないため、符号同期・非同期の誤判定が少なくなる。

【0174】

【発明の効果】

以上説明したように本発明によれば、受信系列の誤りのみによって決定されるシンドロームビットのいくつかがそのまま、時点0のブロックの情報ビットに関して直交するパリティ検査和となるような畳み込み符号である自己直交符号に対する復号を行う自己直交符号復号回路において、自己直交符号に対する復号を複数回繰り返すことによって、簡単な回路構成で実現することができ、大幅に誤り訂正能力を向上させることができるという効果がある。

【図面の簡単な説明】

【図1】

本発明の実施の形態による自己直交符号復号回路の構成を示すブロック図である。

【図2】

図1の第1段復号回路の構成を示すブロック図である。

【図3】

図2のシンドローム系列生成回路の構成を示すブロック図である。

【図4】

図2の誤り値生成回路の構成を示すブロック図である。

【図5】

図1の第2段復号回路の構成を示すブロック図である。

【図6】

図5のシンドローム系列生成回路の構成を示すブロック図である。

【図7】

図 5 の誤り値生成回路の構成を示すブロック図である。

【図 8】

本発明の実施の形態による自己直交符号復号回路の動作を示すフローチャートである。

【図 9】

図 1 の第 1 段復号回路による復号処理を示すフローチャートである。

【図 1 0】

本発明の実施の形態による自己直交符号復号回路を用いたシステムの構成例を示すブロック図である。

【図 1 1】

本発明の実施の形態による自己直交符号復号回路を用いた無線システムの構成例を示すブロック図である。

【図 1 2】

本発明の実施の形態による自己直交符号復号回路を用いた光ケーブルの伝送システムの構成例を示すブロック図である。

【図 1 3】

図 1 2 の受信局の構成を示すブロック図である。

【図 1 4】

本発明の一実施例による自己直交符号復号回路の構成を示すブロック図である。

【図 1 5】

図 1 4 の第 1 段復号回路の構成を示すブロック図である。

【図 1 6】

図 1 5 のシンδροーム系列生成回路の構成を示すブロック図である。

【図 1 7】

図 1 5 の誤り値生成回路の構成を示すブロック図である。

【図 1 8】

図 1 4 の第 2 段復号回路の構成を示すブロック図である。

【図 1 9】

図 1 8 のシンドローーム系列生成回路の構成を示すブロック図である。

【図 2 0】

図 1 8 の誤り値生成回路の構成を示すブロック図である。

【図 2 1】

本発明の他の実施例による第 1 段復号回路中の誤り値生成回路の構成を示すブロック図である。

【図 2 2】

本発明の他の実施例による第 1 段復号回路における復号処理を示すフローチャートである。

【図 2 3】

本発明の別の実施例による第 1 段復号回路中の誤り値生成回路の構成を示すブロック図である。

【図 2 4】

本発明の別の実施例による第 1 段復号回路における復号処理を示すフローチャートである。

【図 2 5】

従来の自己直交符号の復号器の構成を示すブロック図である。

【図 2 6】

図 2 5 のシンドローーム系列生成回路の構成を示すブロック図である。

【図 2 7】

図 2 5 の誤り値生成回路の構成を示すブロック図である。

【符号の説明】

- 1, 4 符号同期及び直列／並列変換回路
- 2, 5 第 1 段復号回路
- 3, 6 第 2 段復号回路
- 1 1 自己直交符号復号回路
- 1 2 情報源
- 1 3 符号器
- 1 4 通信路

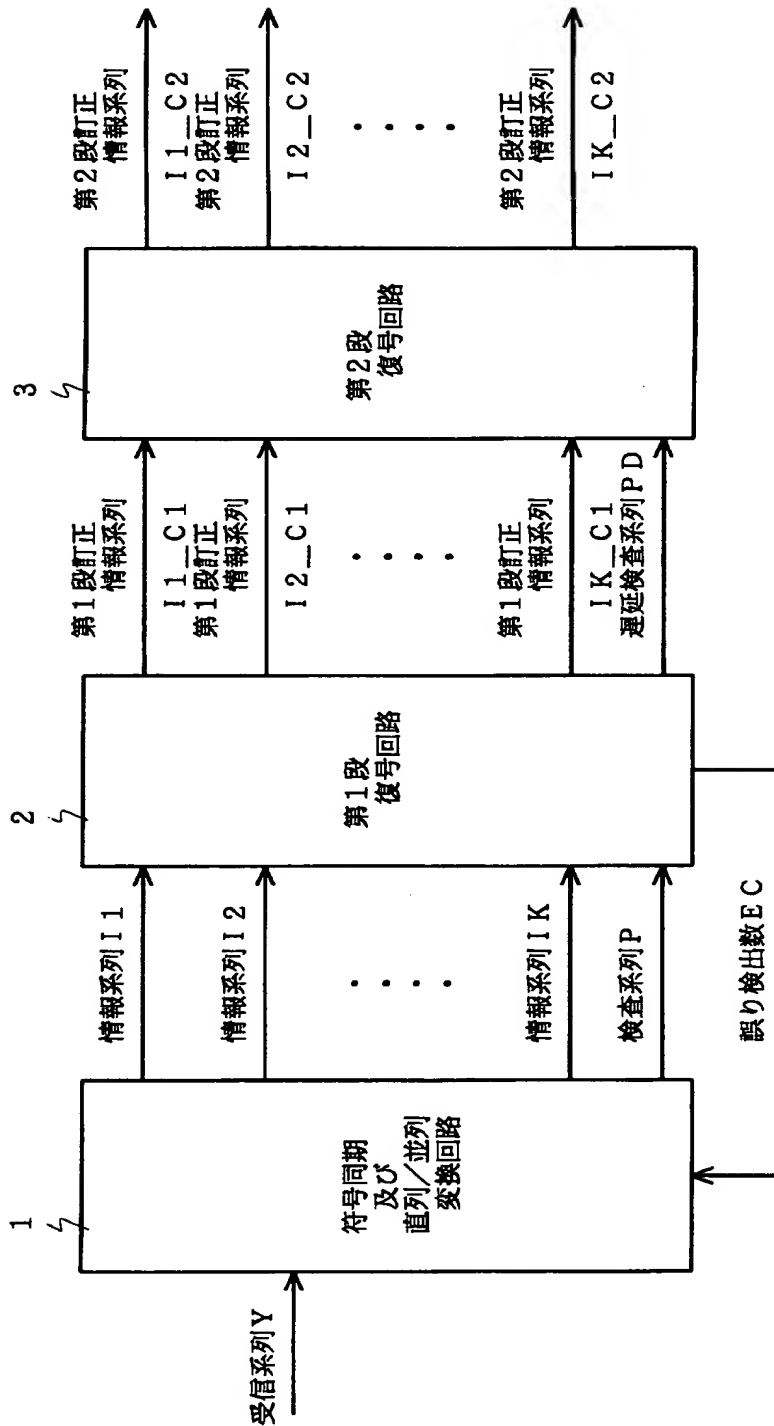
1 5	無線送信機
1 6	無線受信機
1 7, 1 9	送信局
1 8, 2 0	受信局
2 1, 3 1, 5 1, 6 1	シンドローム系列生成回路
2 2, 3 2, 5 2, 6 2	誤り値生成回路
2 3, 3 3, 5 3, 6 3	誤り訂正回路
2 4	誤り検出数カウンタ
2 5	検査系列レジスタ
1 8 1	光分離器
1 8 2	光電変換器
2 1 1 - 1 ~ 2 1 1 - K,	
3 1 1 - 1 ~ 3 1 1 - K	第 1 ~ 第 K 情報系列レジスタ
2 1 2 - 1 ~ 2 1 2 - K,	
3 1 2 - 1 ~ 3 1 2 - K	第 1 ~ 第 K 情報系列排他的論理和回路
2 1 3, 3 1 3	シンドローム系列生成排他的論理和回路
2 2 1, 3 2 1	シンドロームレジスタ
2 2 2 - 1 ~ 2 2 2 - K,	
3 2 2 - 1 ~ 3 2 2 - K	第 1 ~ 第 K 閾値判定回路
5 1 1 - 1 ~ 5 1 1 - 6,	
6 1 1 - 1 ~ 6 1 1 - 6	第 1 ~ 第 6 次情報系列レジスタ
5 1 2, 6 1 2	排他的論理和回路
5 1 3 - 1 ~ 5 1 3 - 6	第 1 ~ 第 6 次検査系列レジスタ
5 2 1 - 0 ~ 5 2 1 - 5	第 0 ~ 第 5 次シンドロームレジスタ
5 2 3, 6 2 3	閾値判定回路
5 2 4	誤り検出数カウンタ
5 2 2 - 1 ~ 5 2 2 - 3,	
6 2 2 - 1 ~ 6 2 2 - 3	シンドローム修正用排他的論理和回路
5 2 5	符号同期専用閾値判定回路

特 2 0 0 0 - 2 9 3 2 3 1

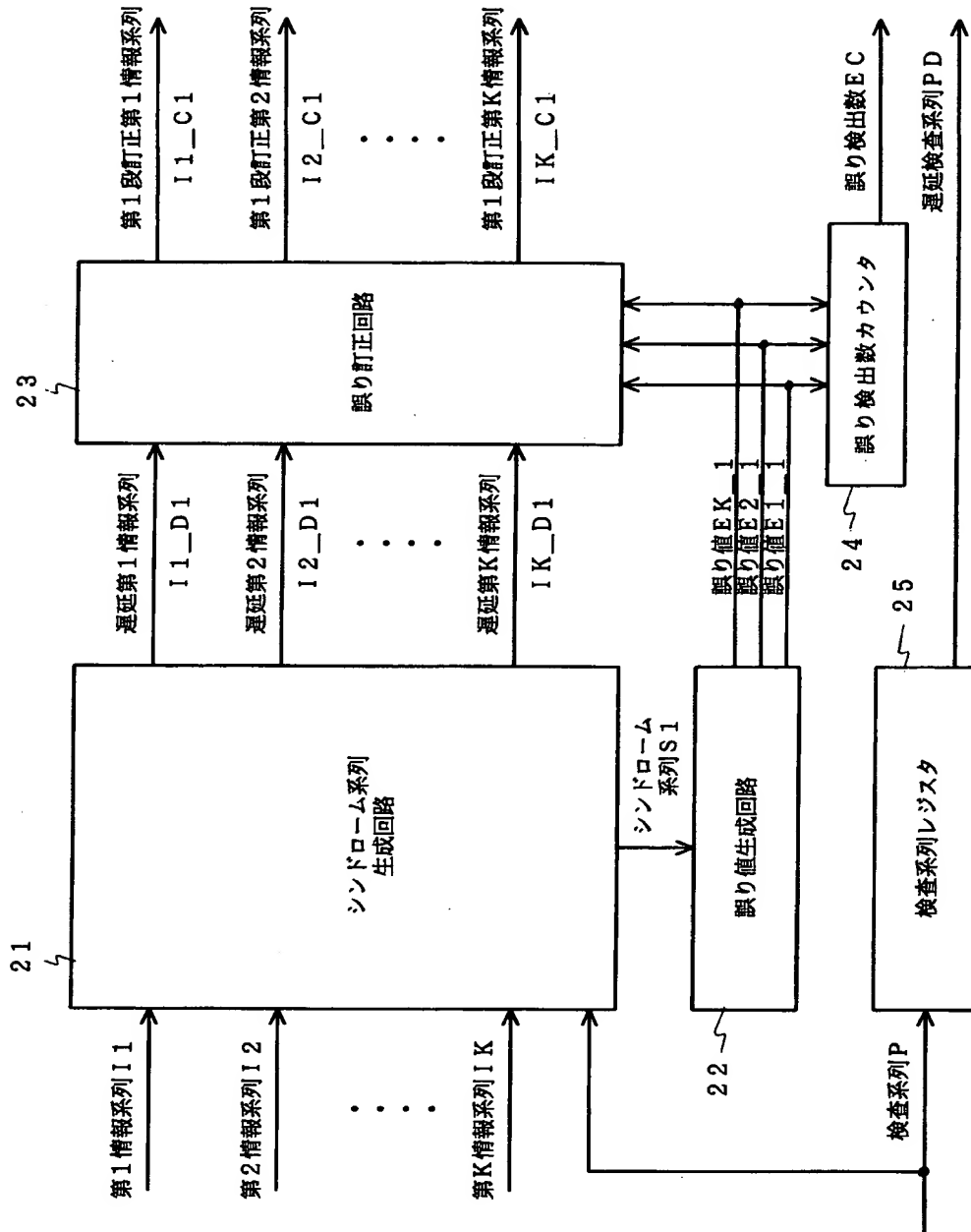
5 2 6 - 0 ~ 5 2 6 - 5 第 0 ~ 第 5 次 符号 同期 専用 シンドローム レジスタ

【書類名】 図面

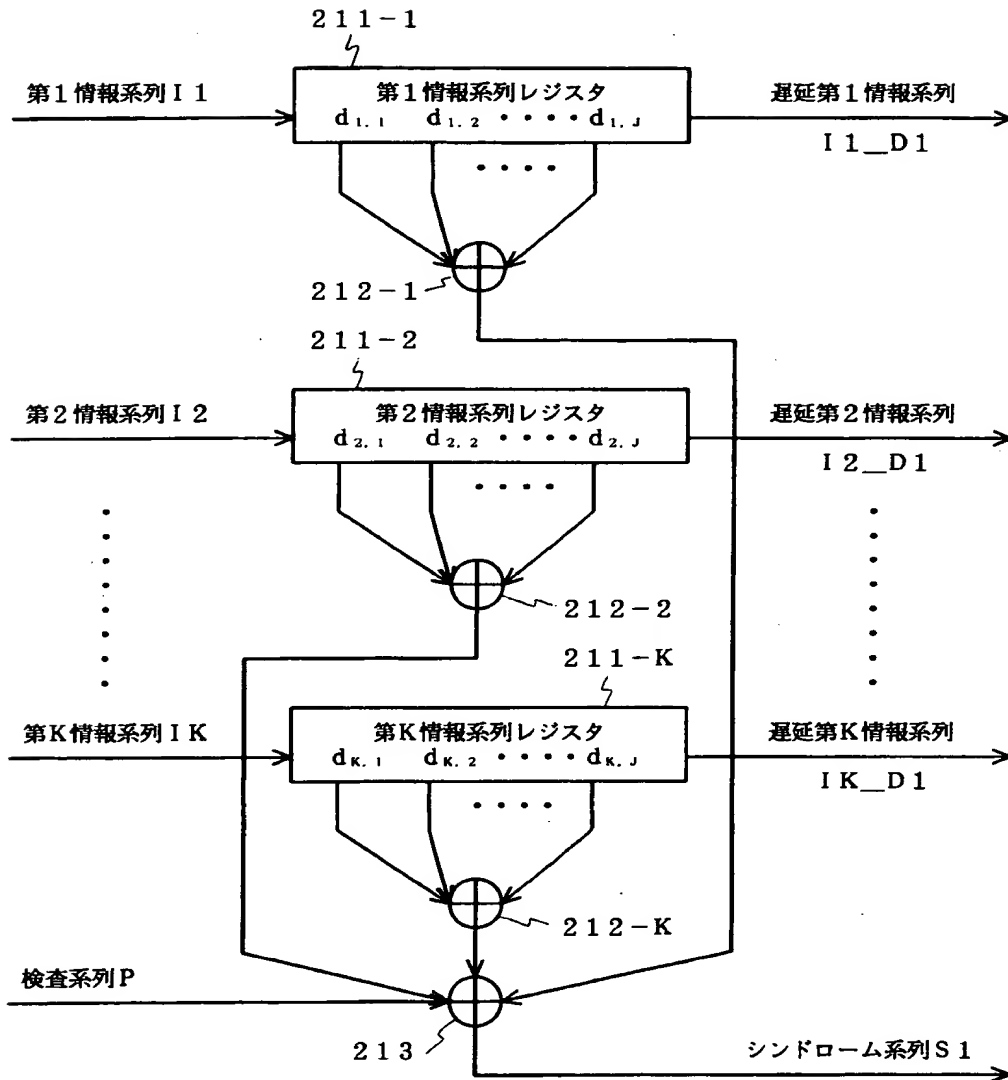
【図 1】



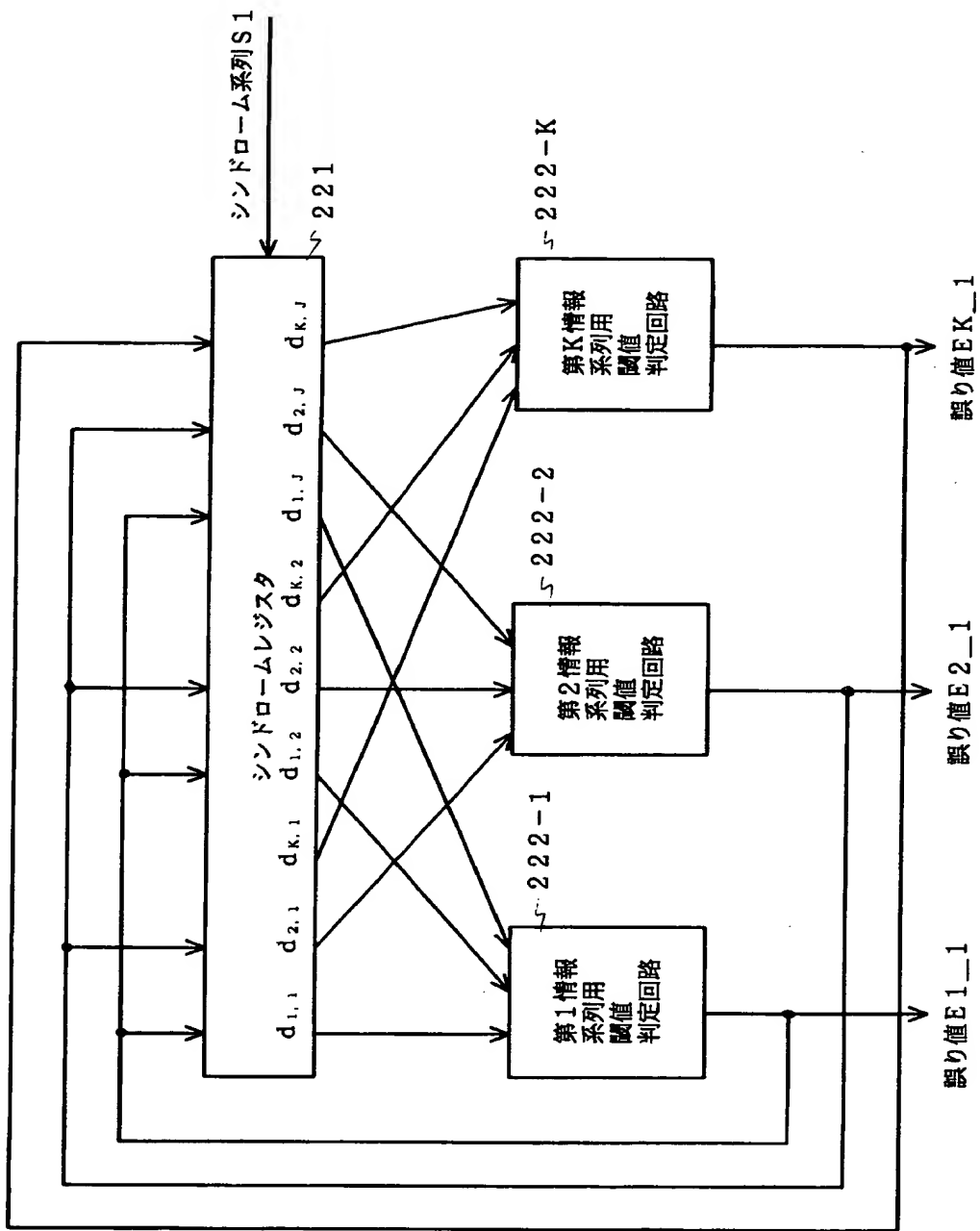
【図 2】



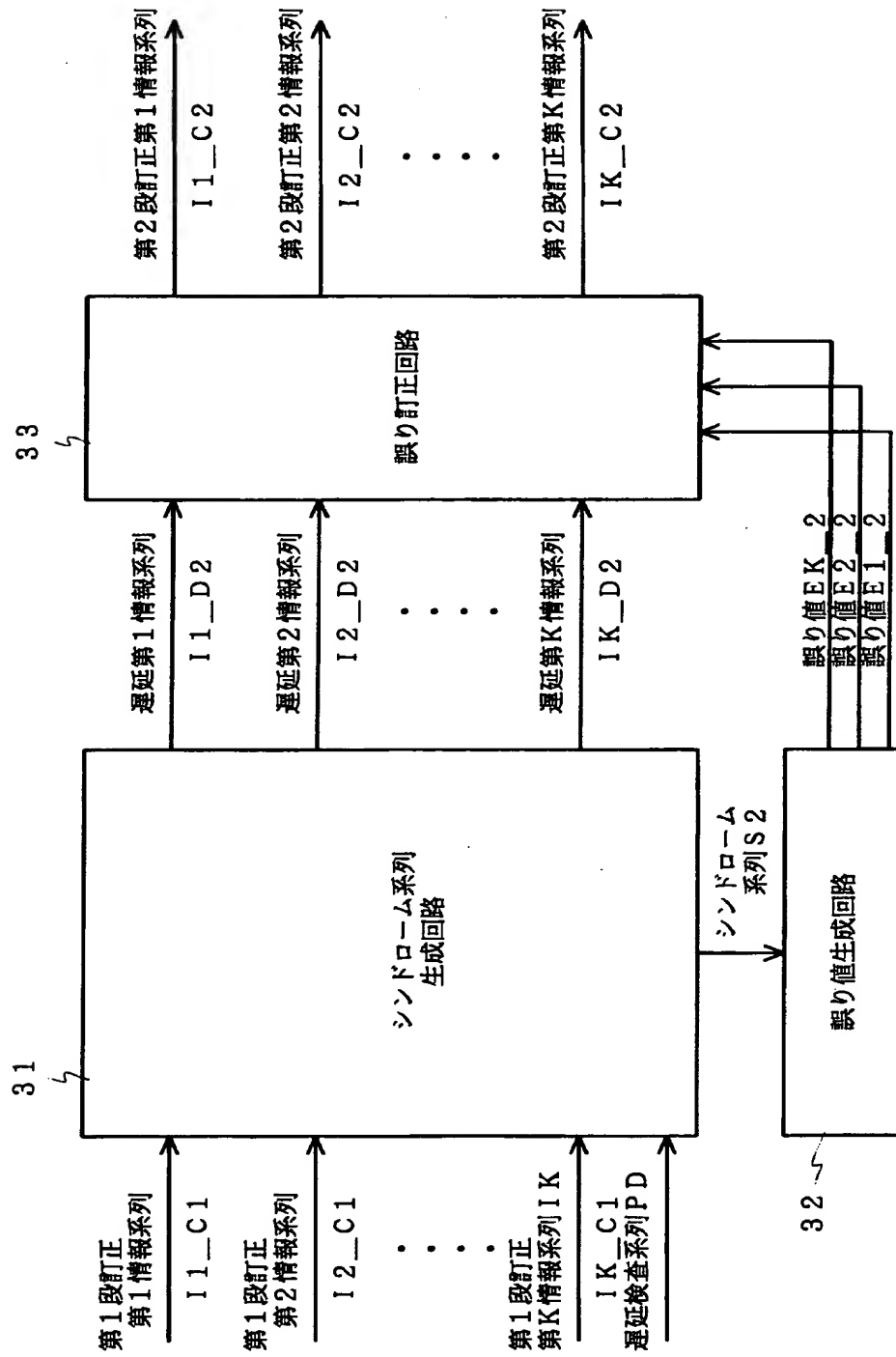
【図 3】



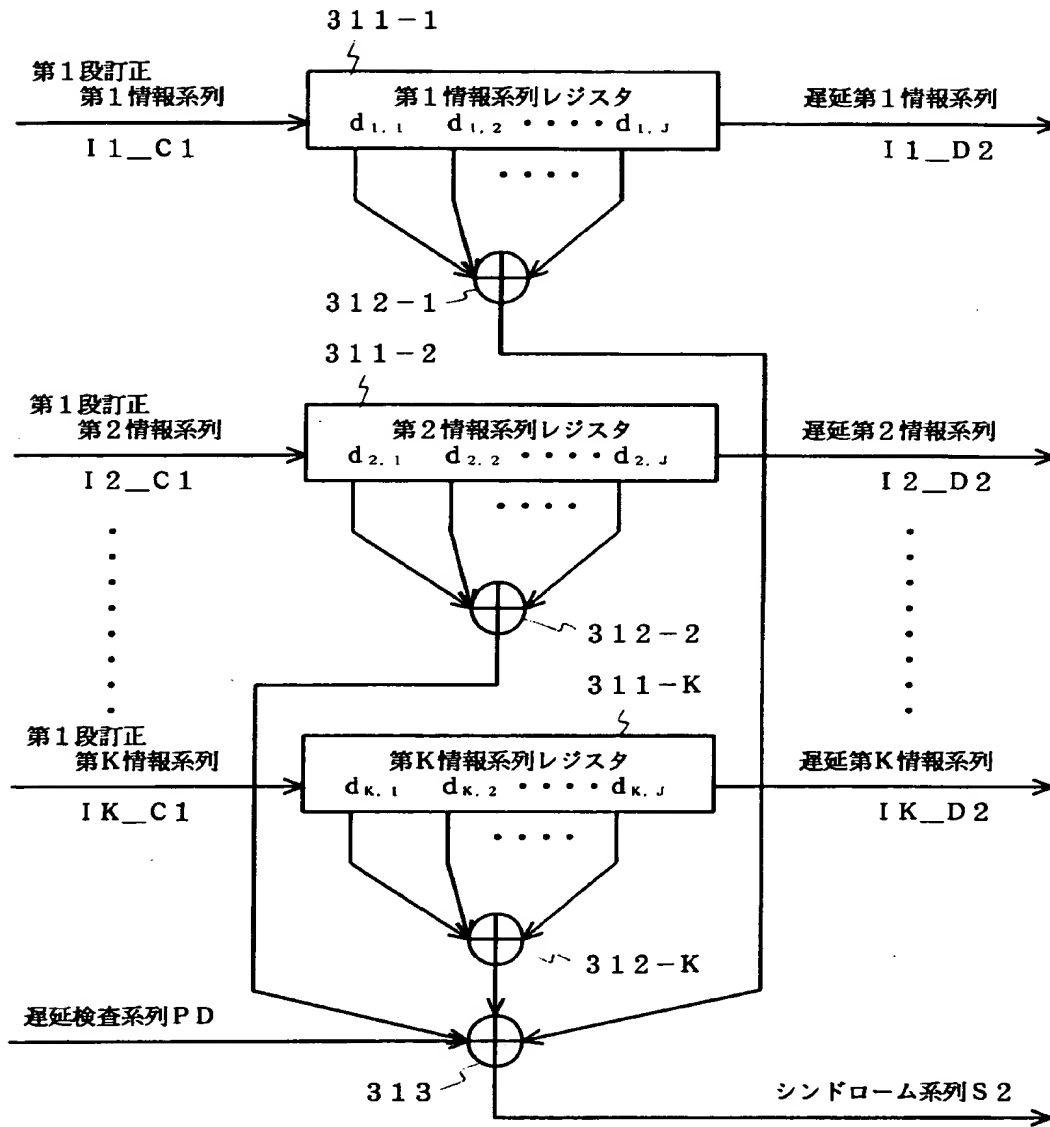
【図 4】



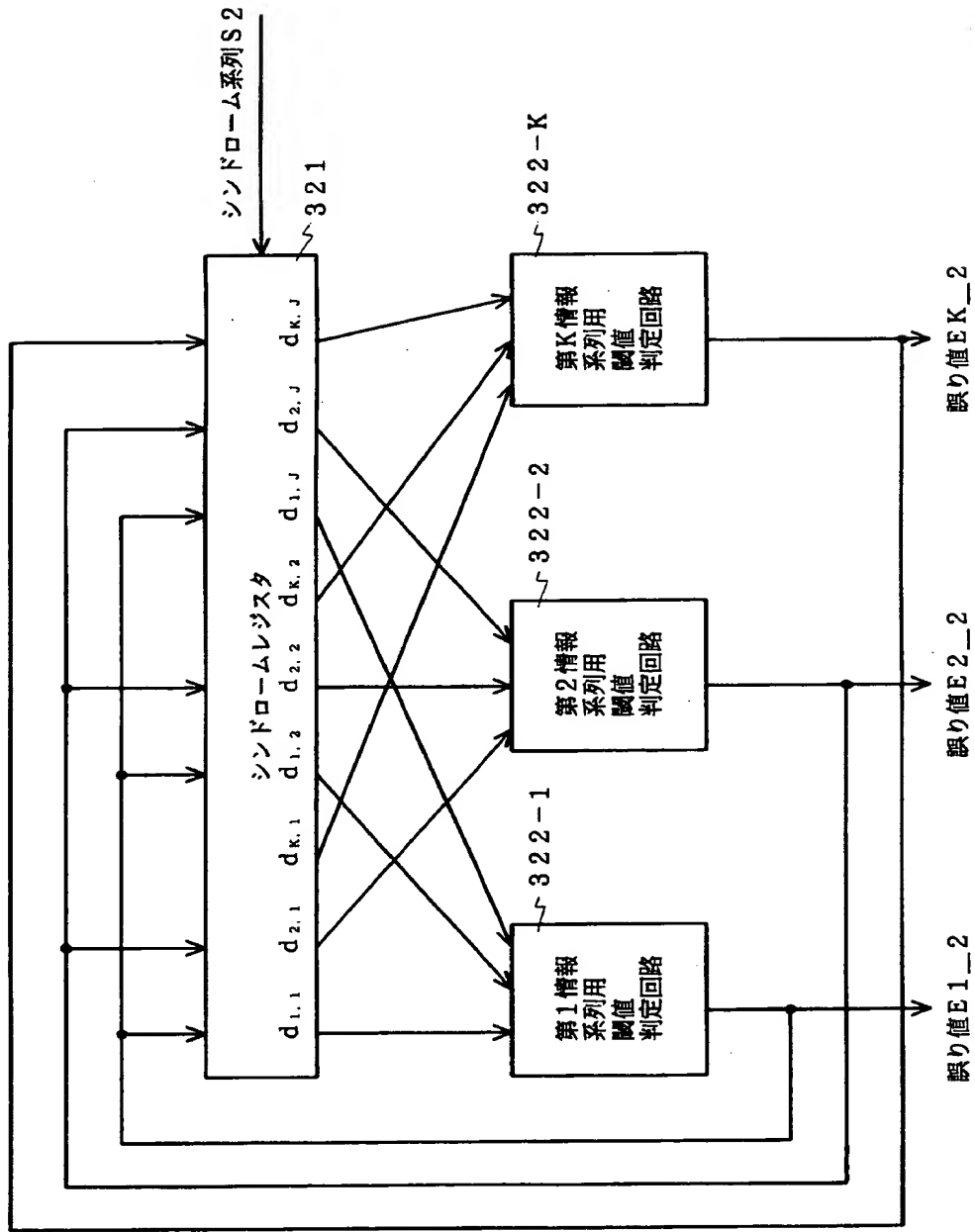
【図 5】



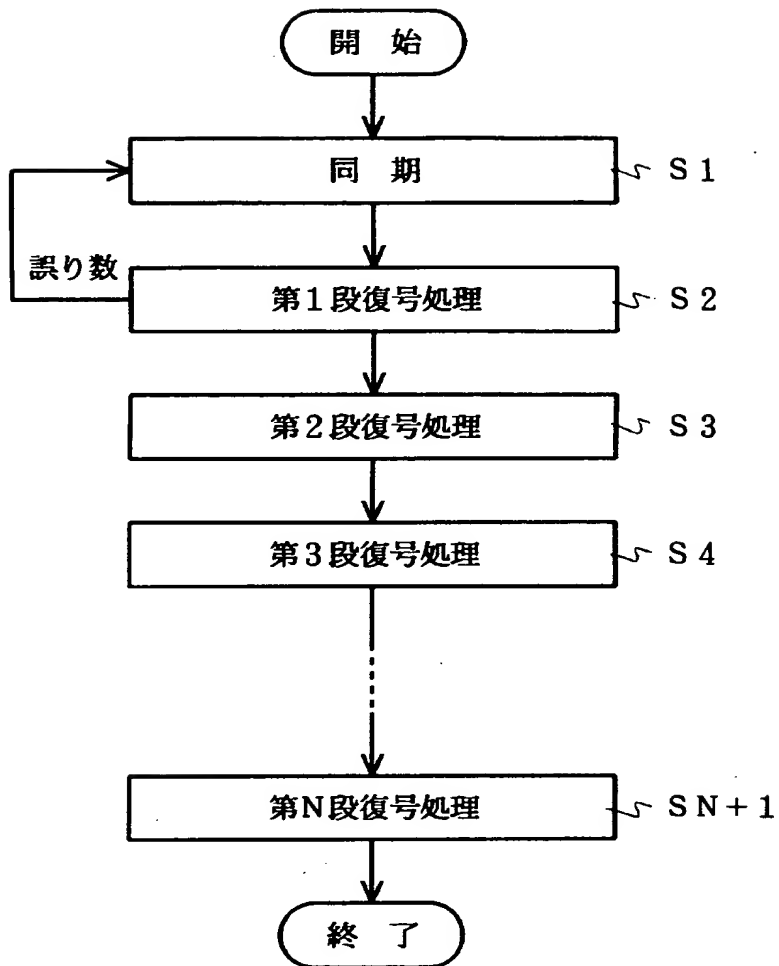
【図 6】



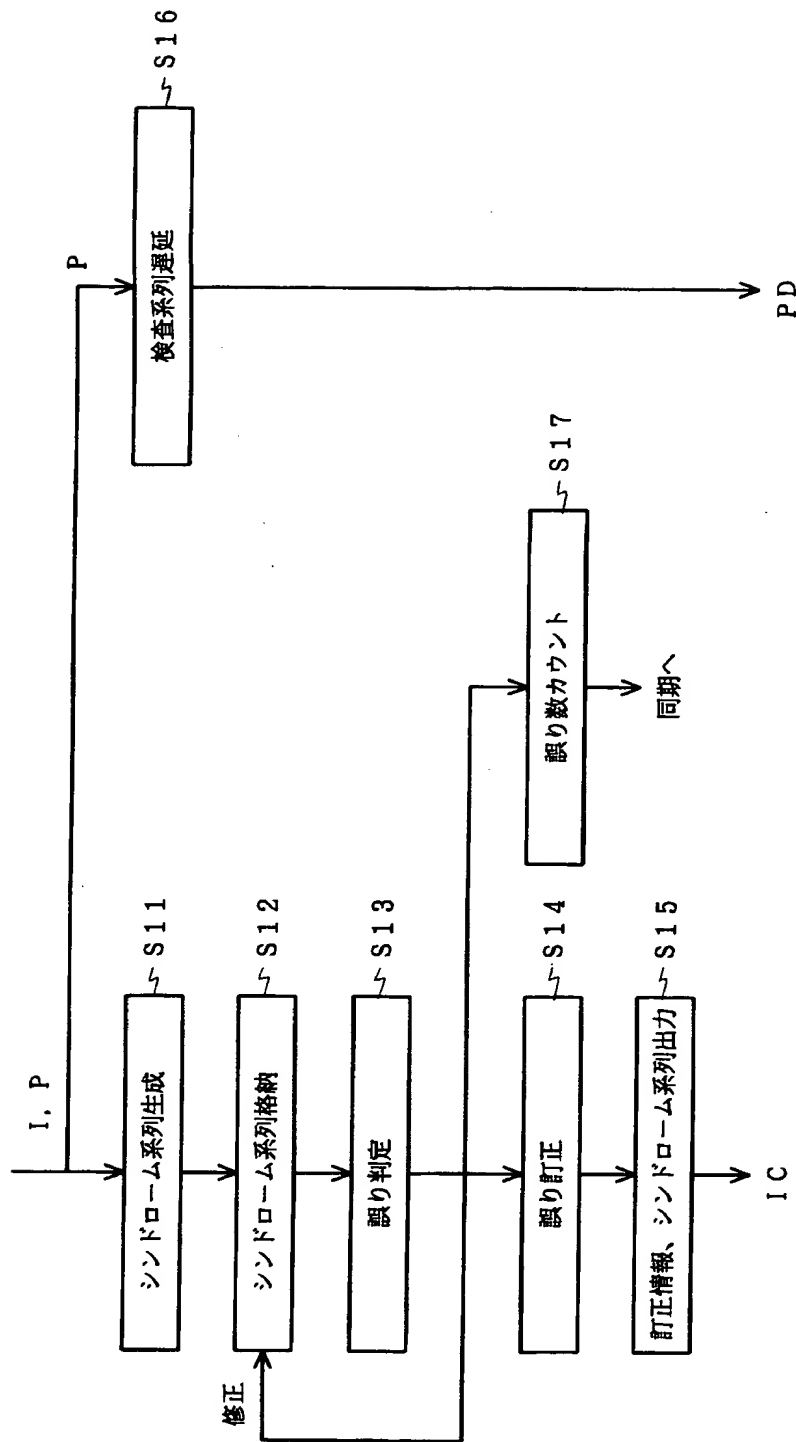
【図 7】



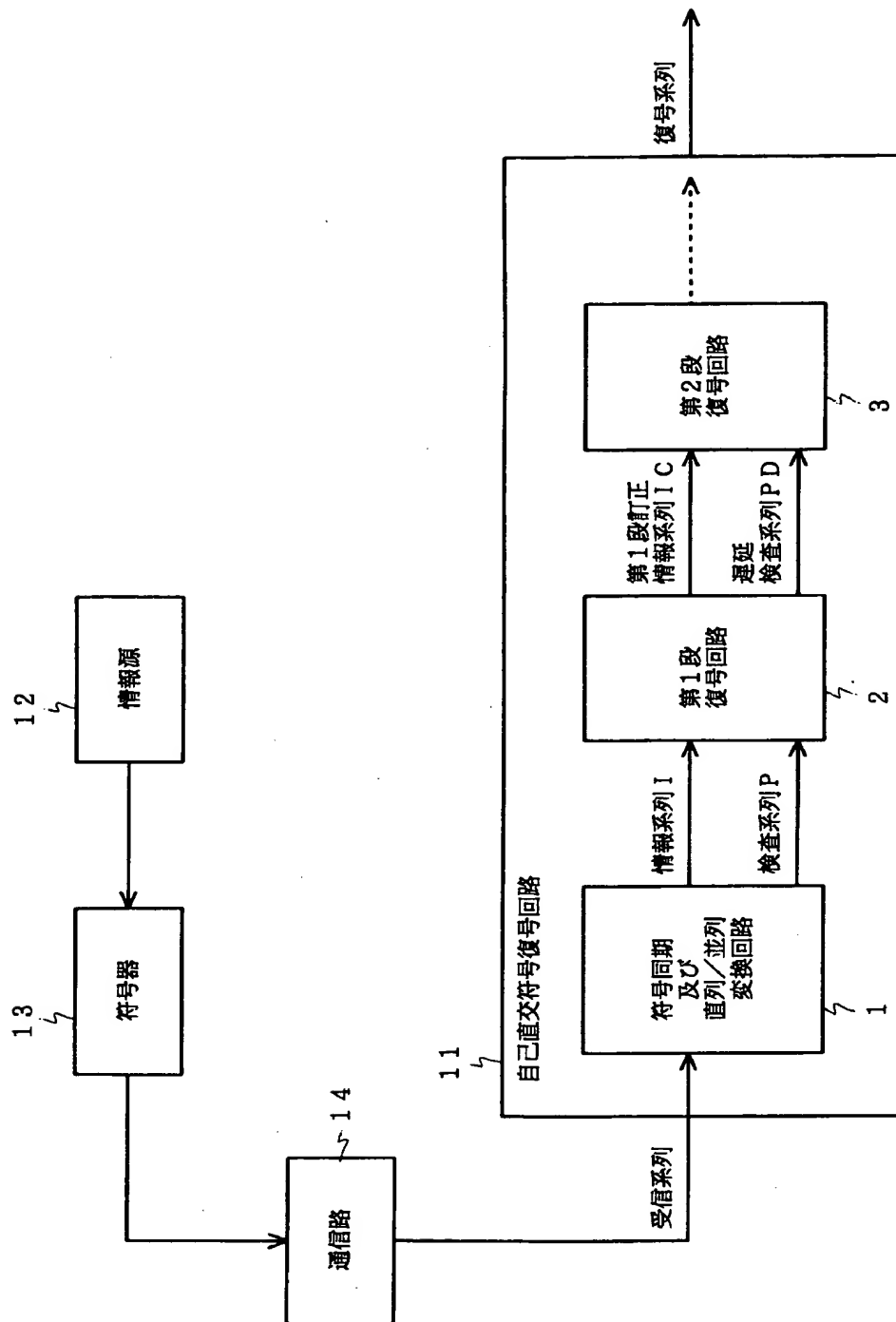
【図 8】



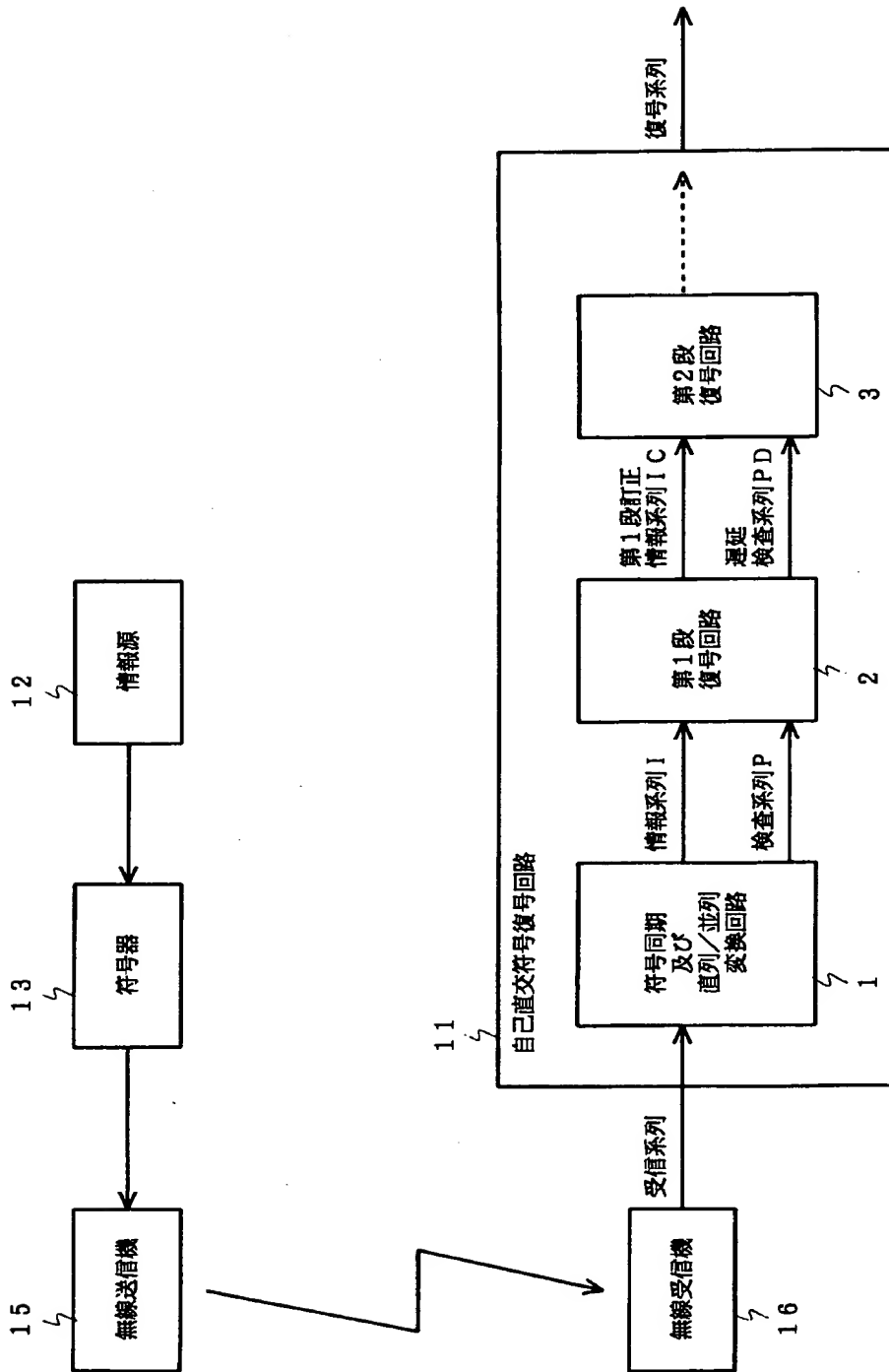
【図 9】



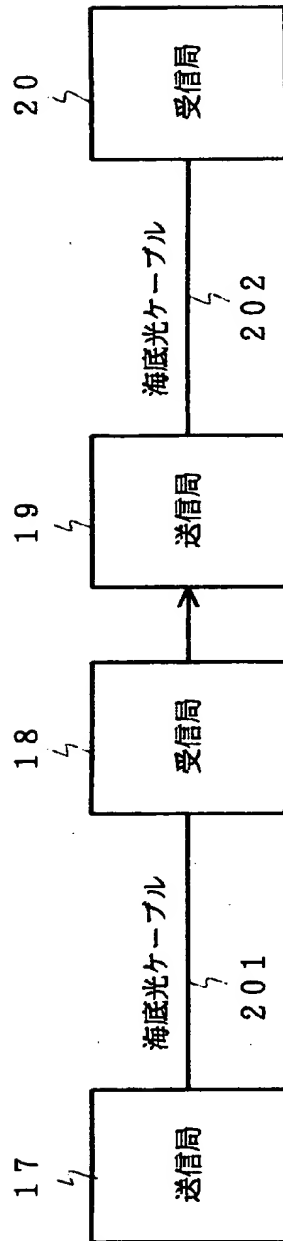
【図 1 0】



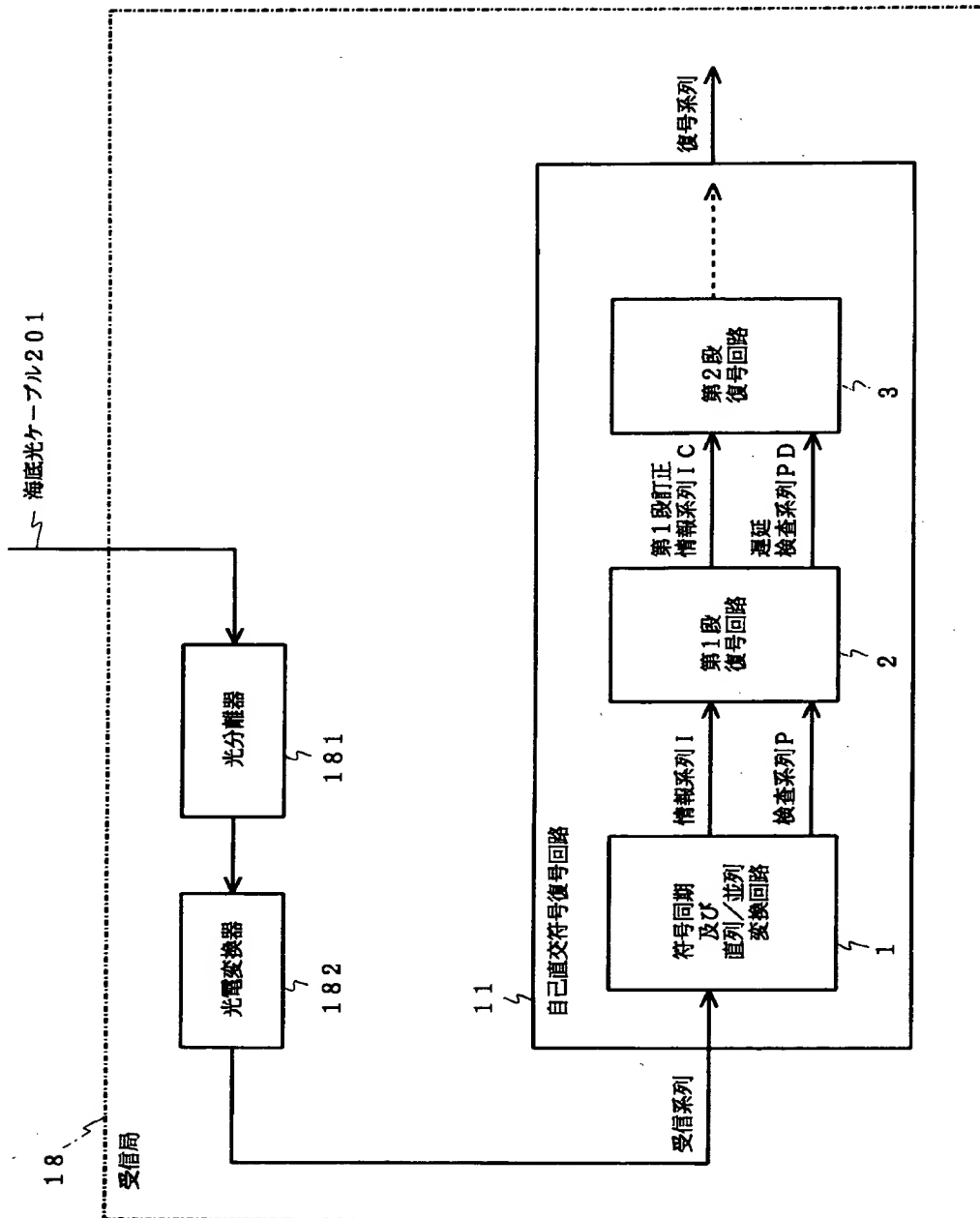
【図 11】



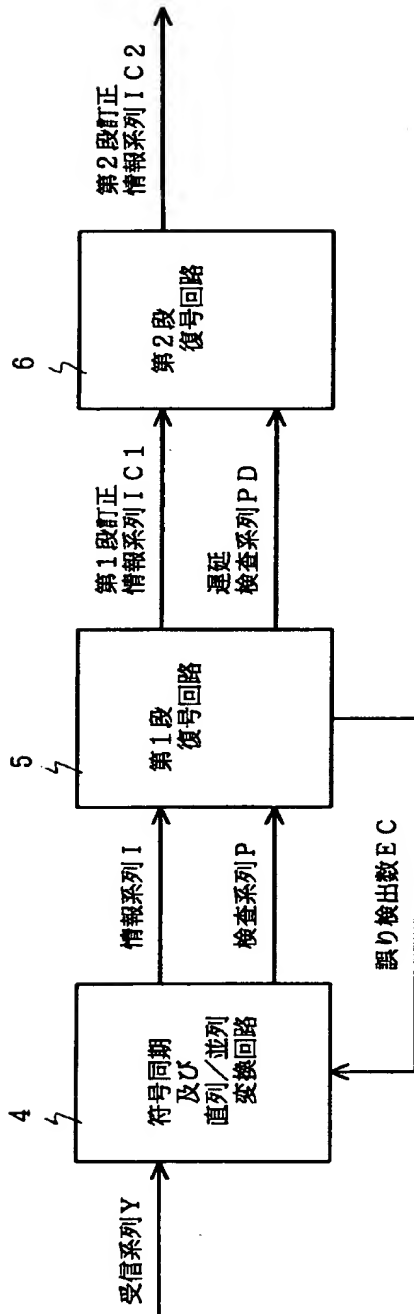
【図 12】



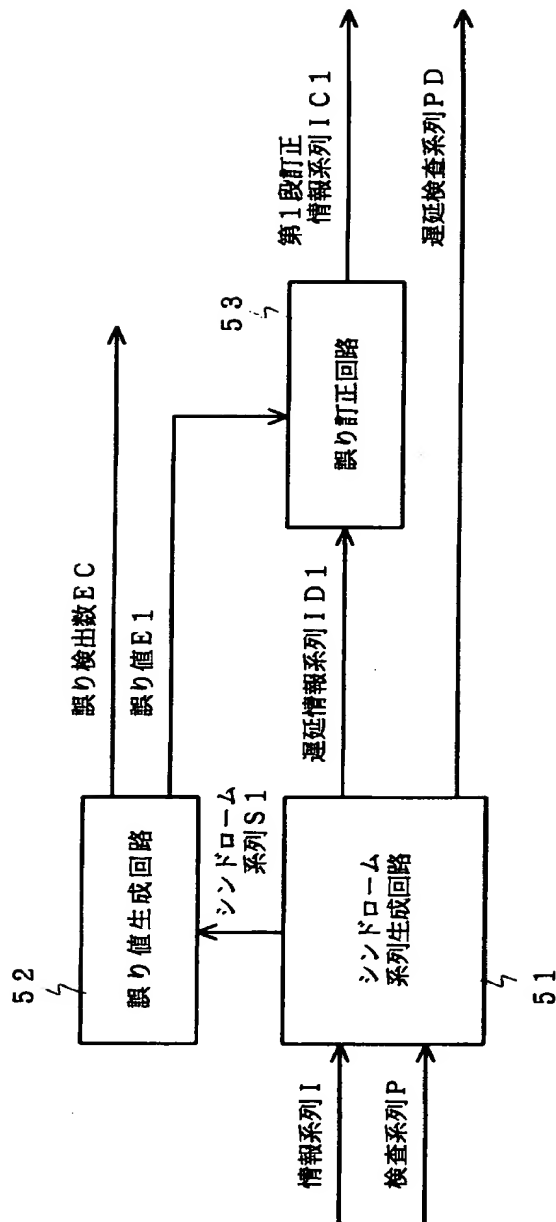
【図 13】



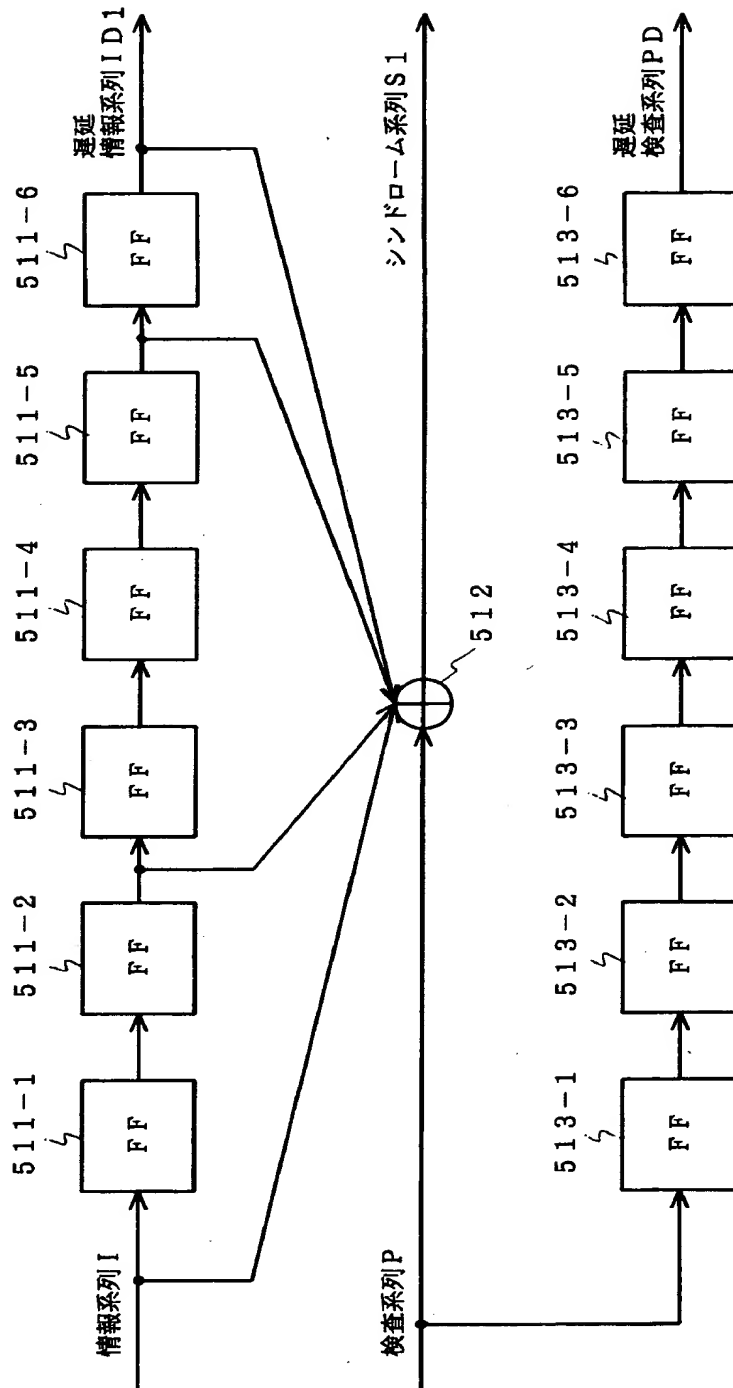
【図 1 4】



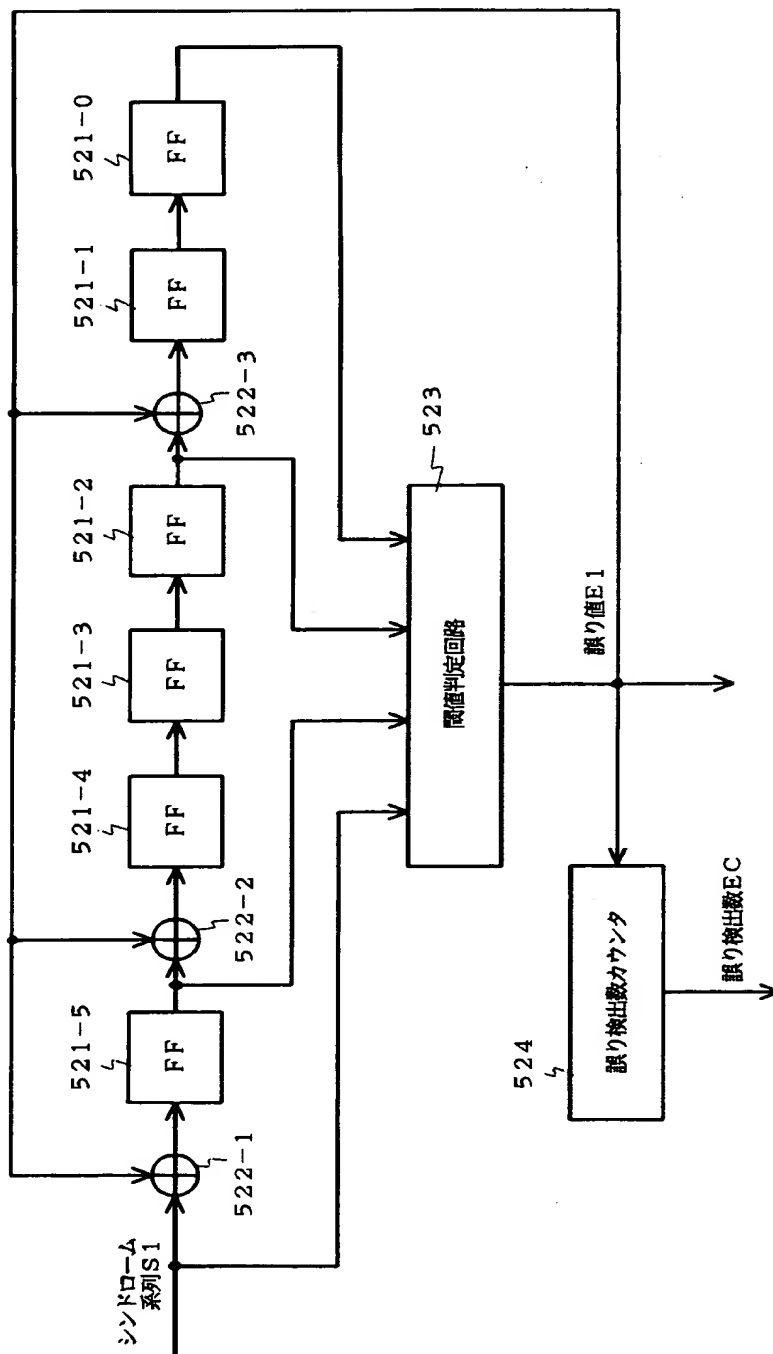
【図 15】



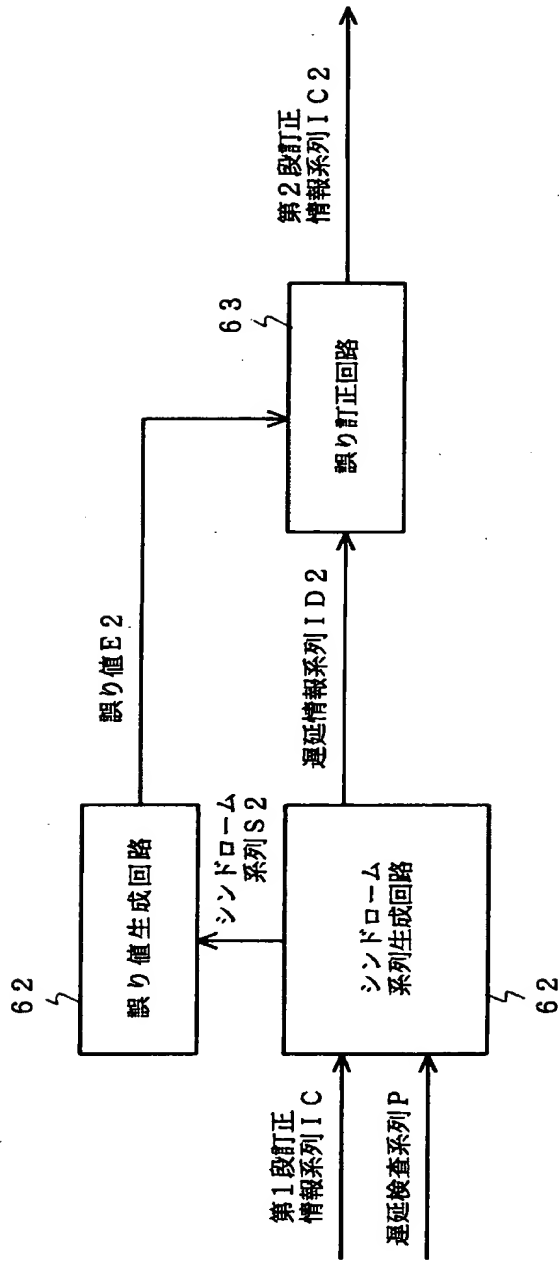
【図16】



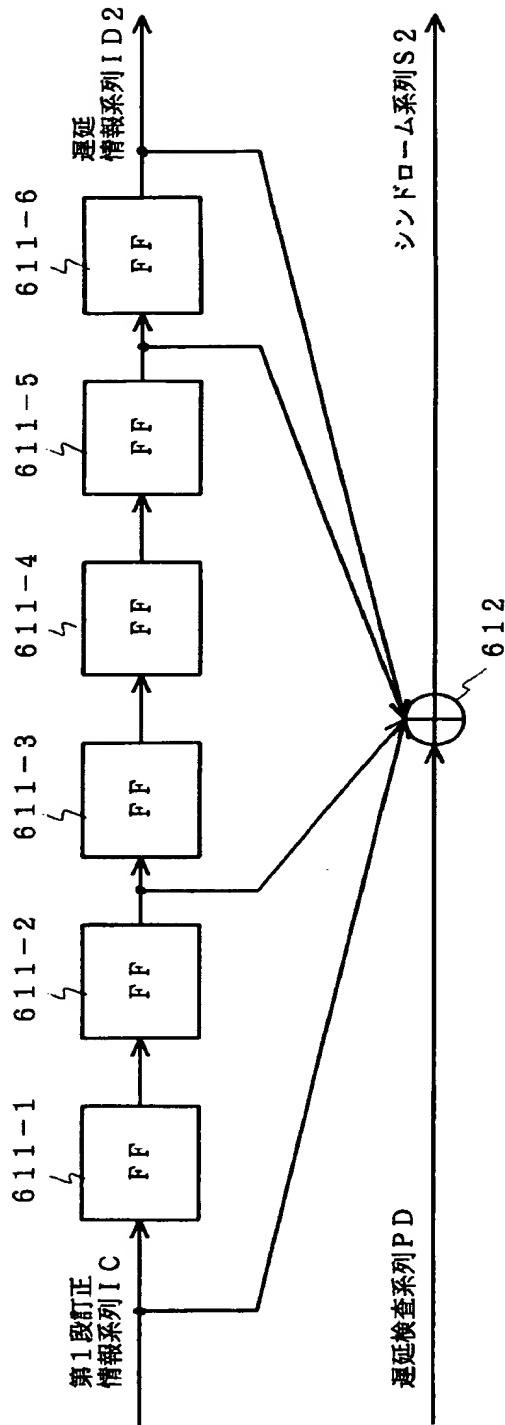
【図 17】



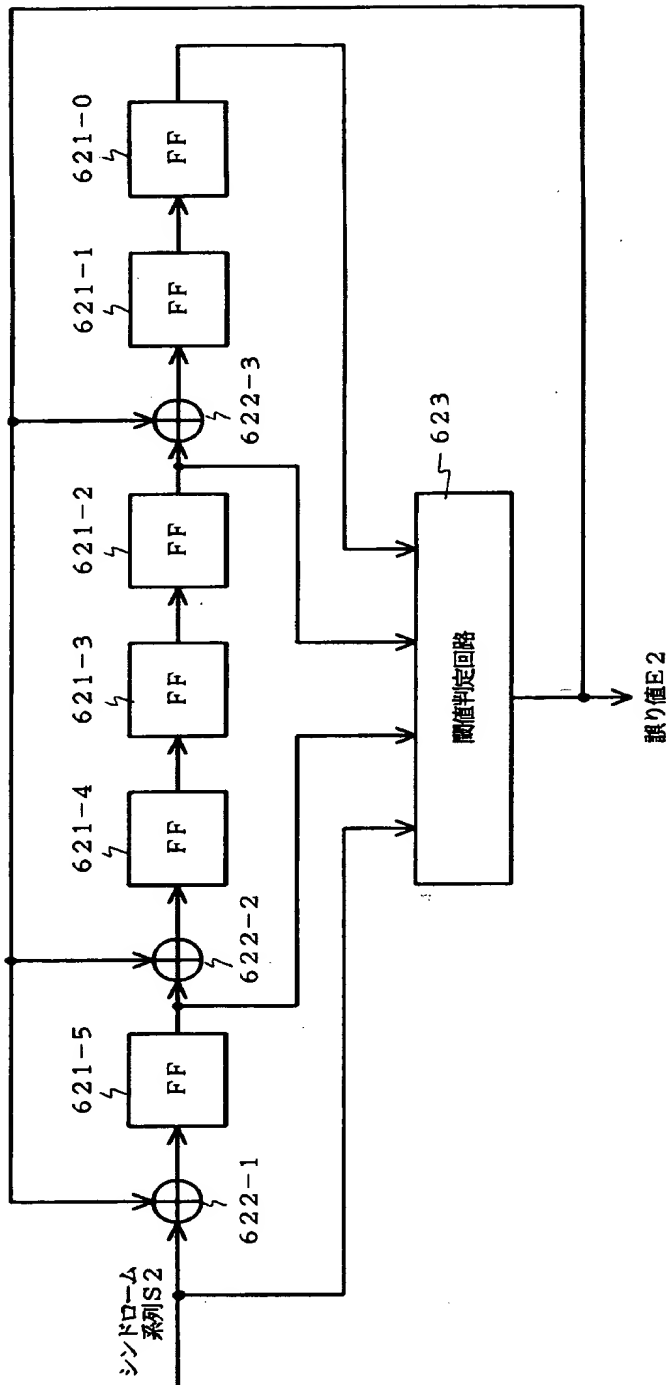
【図 18】



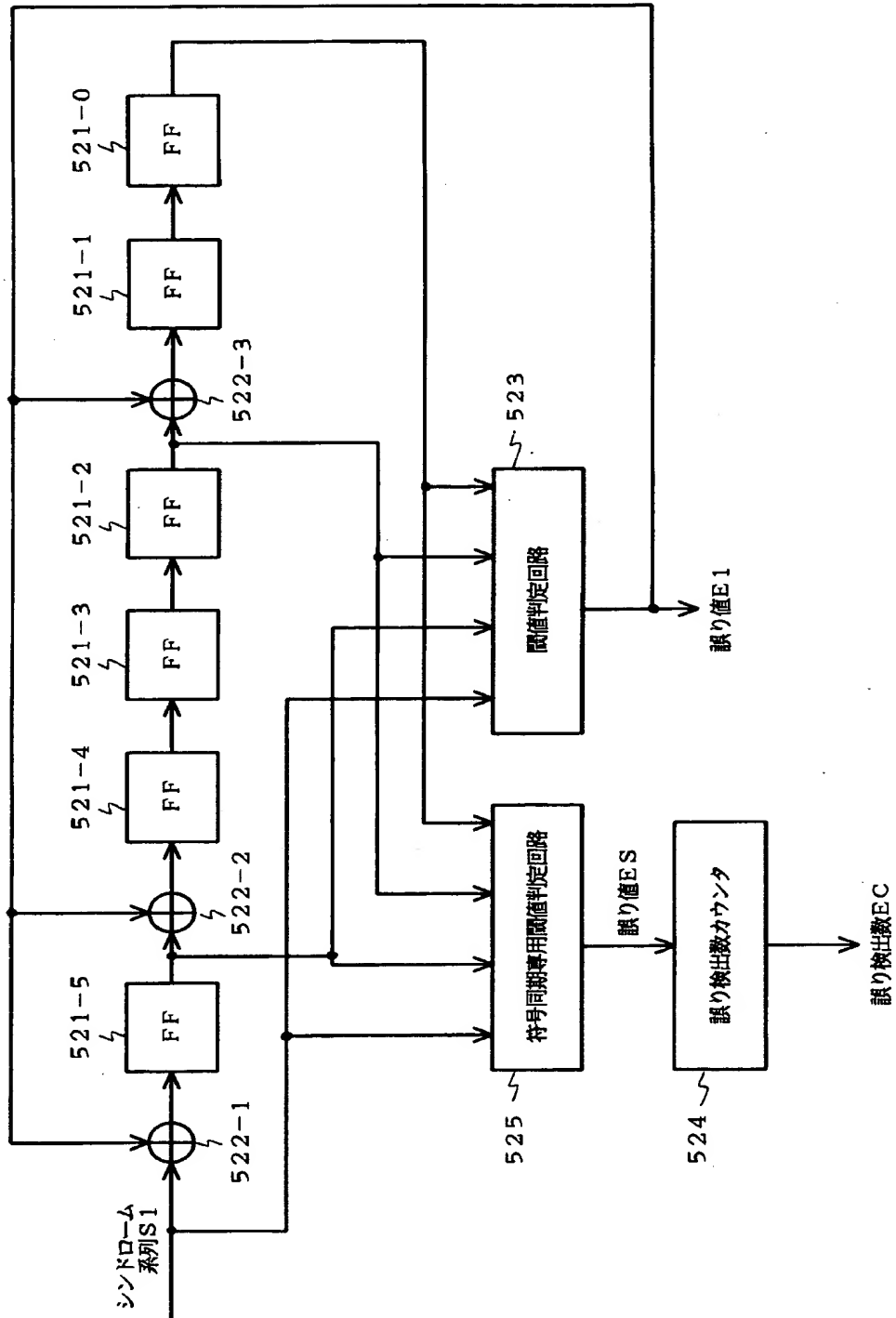
【図19】



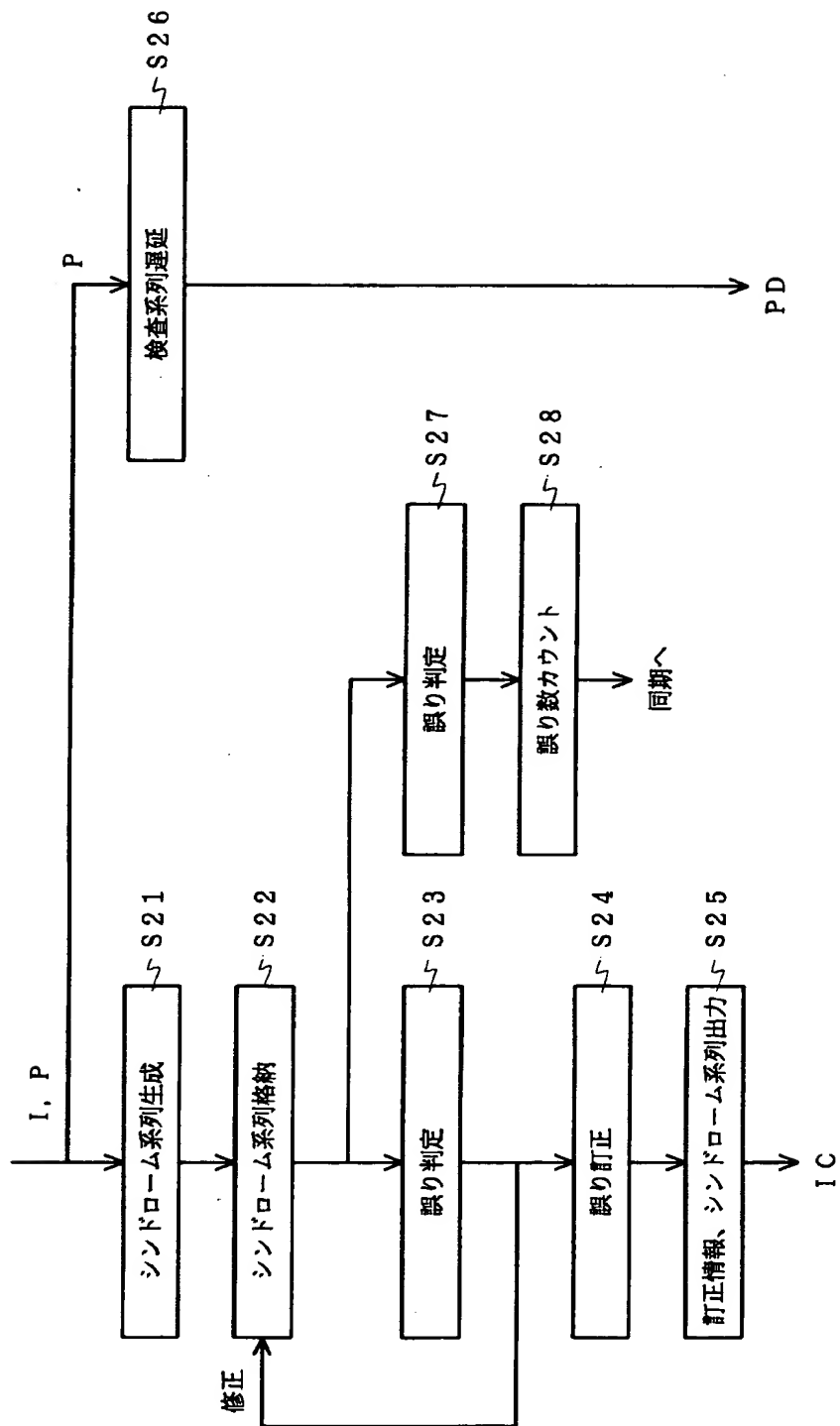
【図 20】



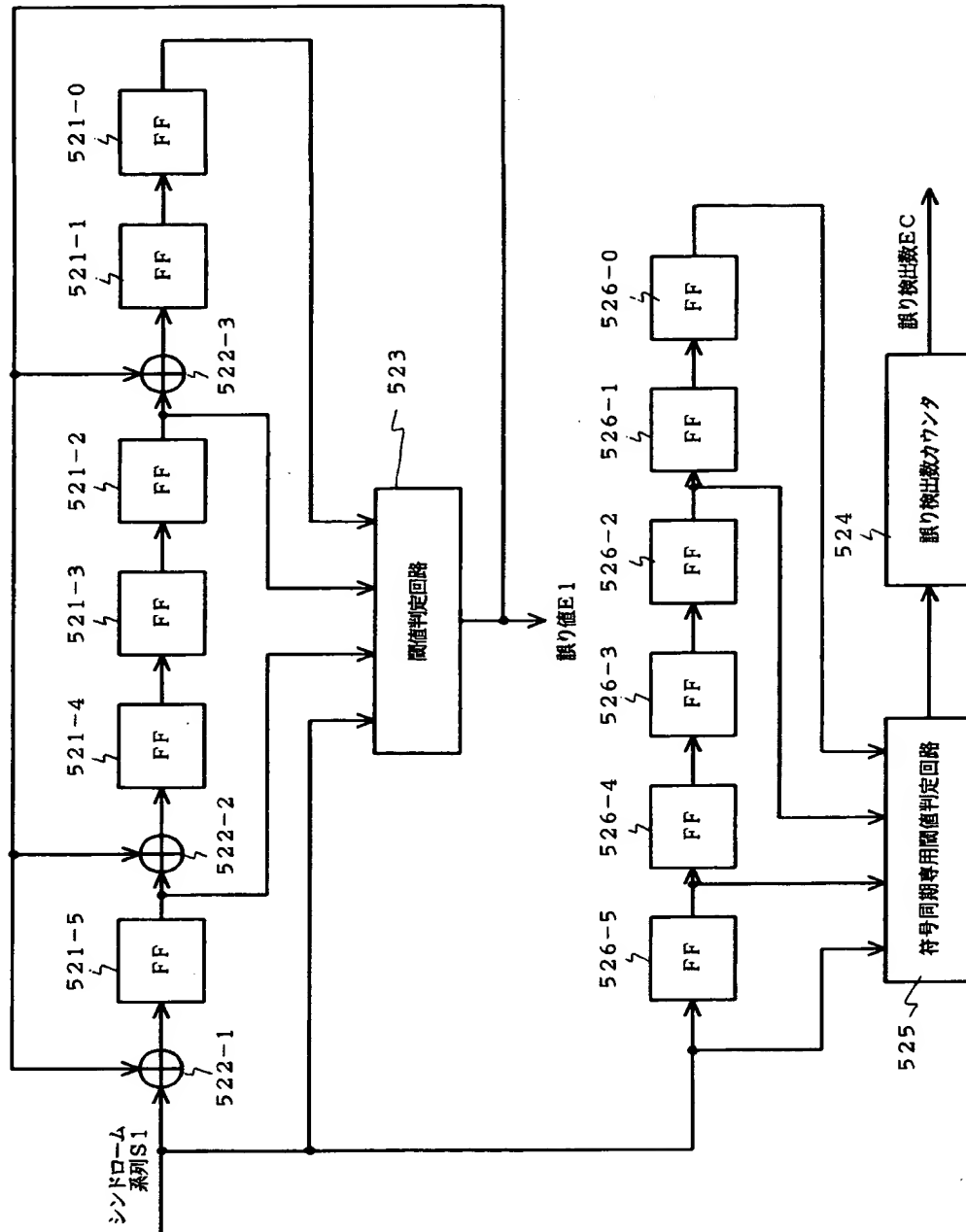
【図 21】



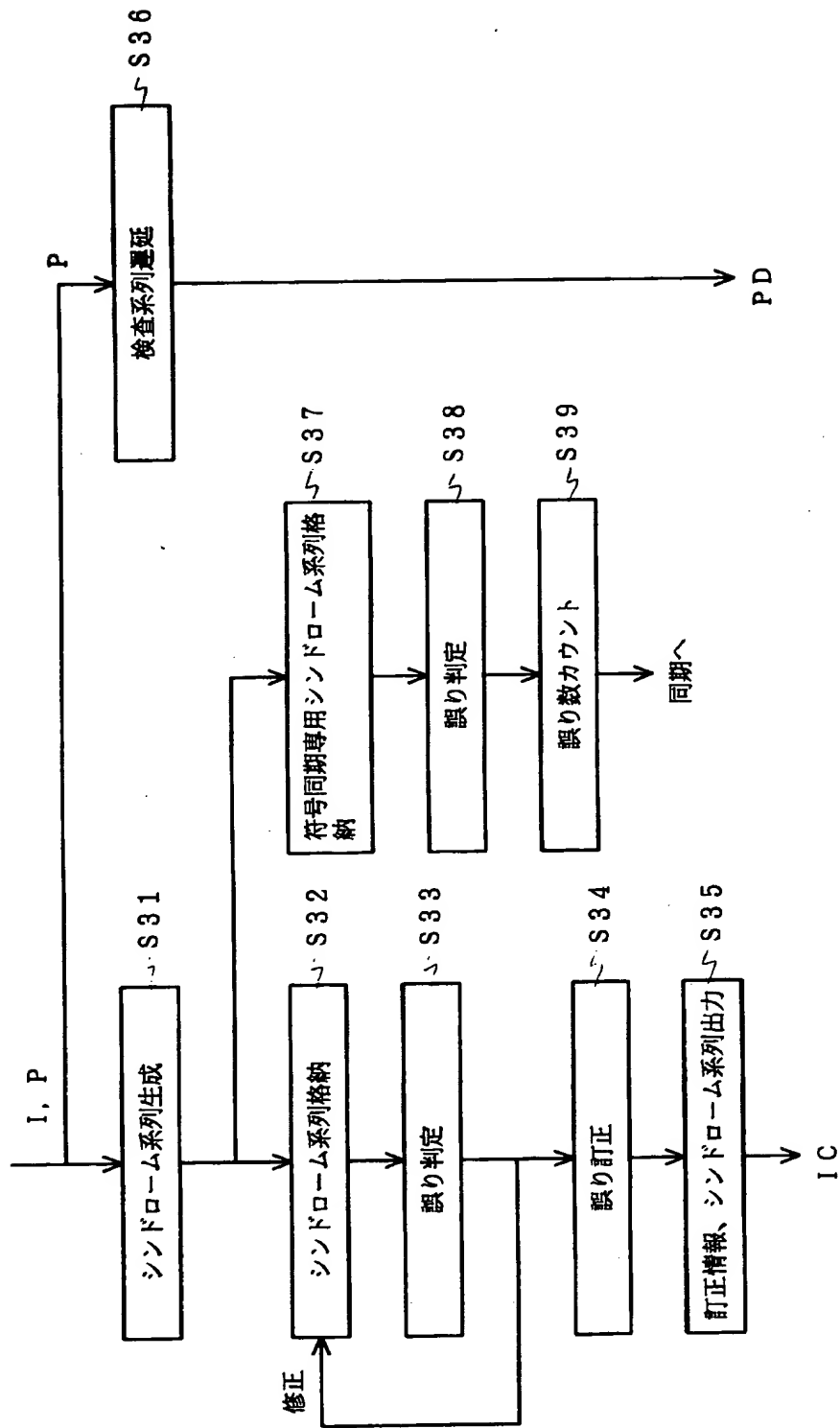
【図 22】



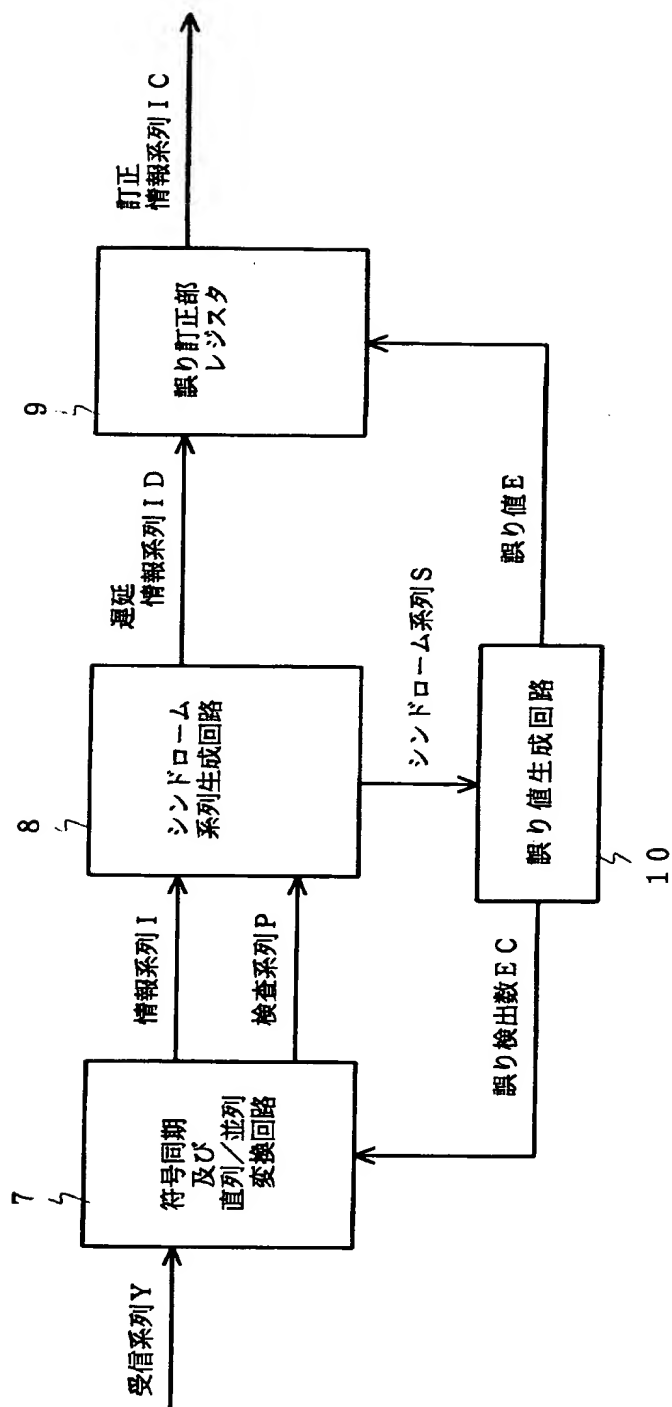
【図 23】



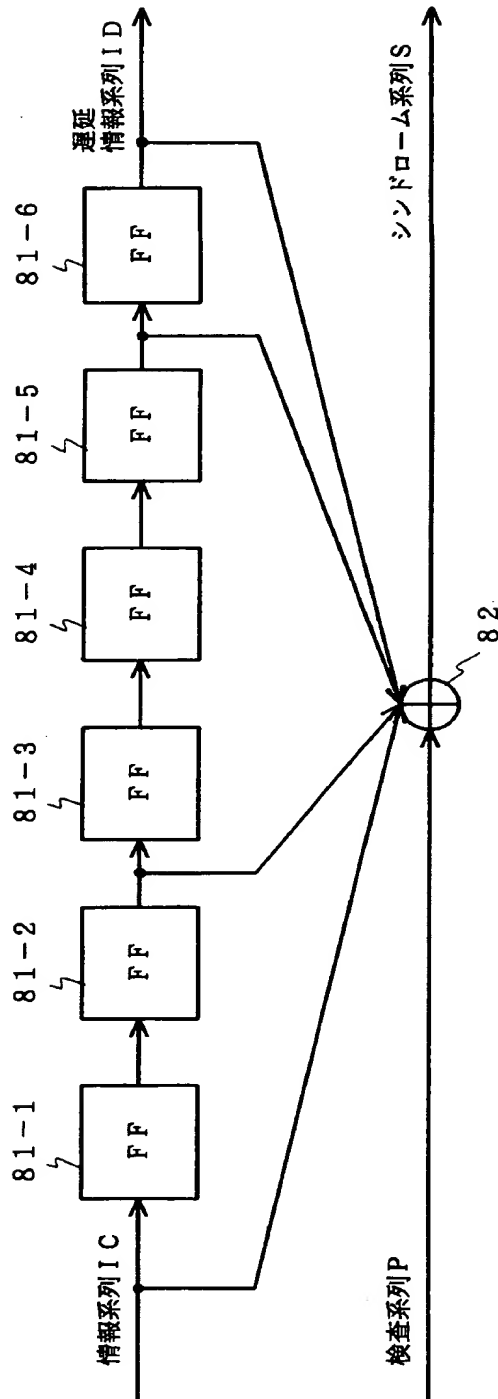
【図 24】



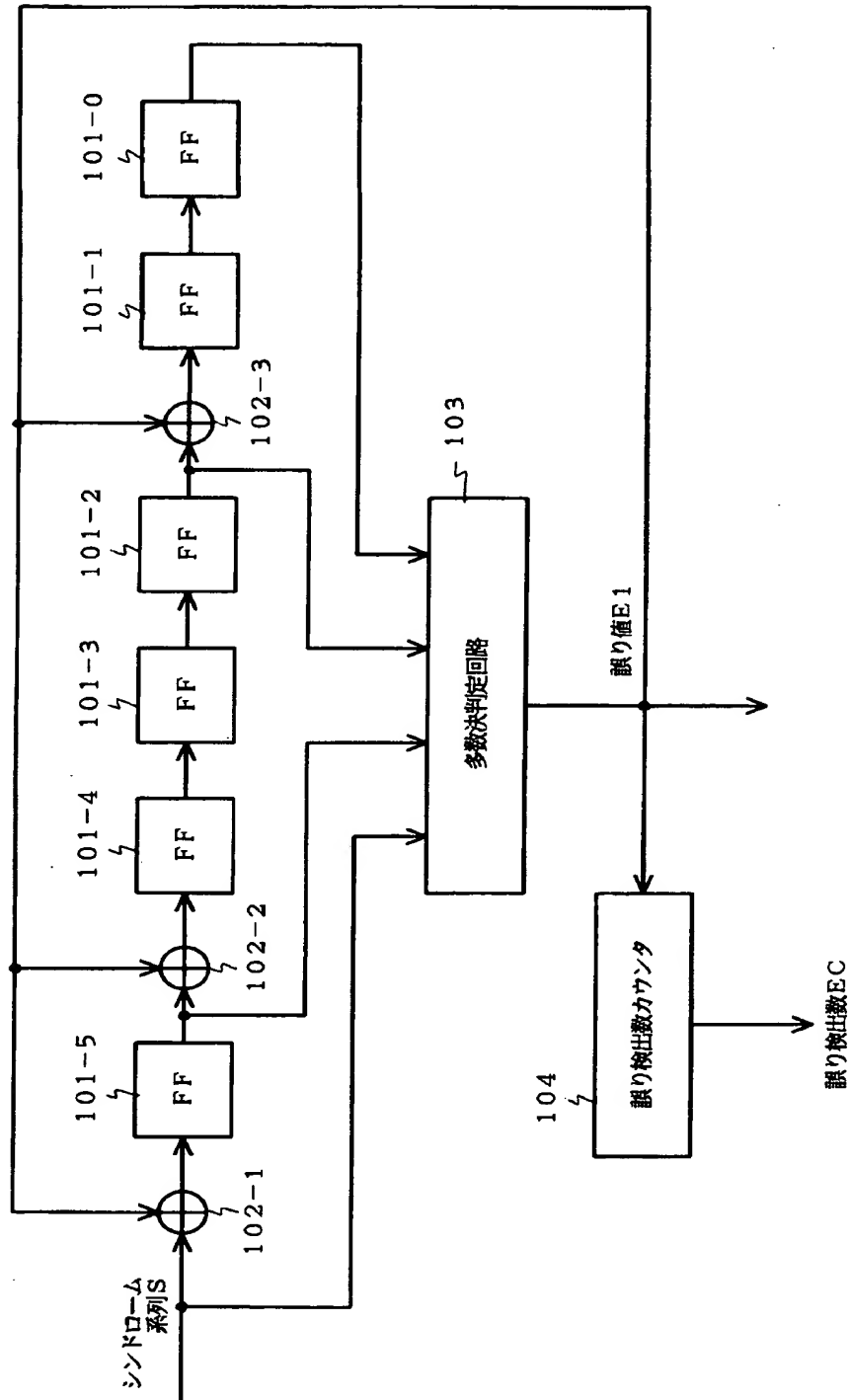
【図 25】



【図 2 6】



【図 27】



【書類名】 要約書

【要約】

【課題】 簡単な回路構成で実現し、大幅に誤り訂正能力を向上可能な自己直交符号復号回路を提供する。

【解決手段】 符号同期及び直列／並列変換回路 1 は符号同期をとり、受信系列 Y を情報系列 $I_1 \sim I_K$ と検査系列 P とに直列／並列変換し、第 1 段復号回路 2 に出力する。第 1 段復号回路 2 は情報系列 $I_1 \sim I_K$ と検査系列 P とを入力とし、それら情報系列 $I_1 \sim I_K$ と検査系列 P とを基に誤り訂正を行い、第 1 段訂正第 1 ～第 K 情報系列 $I_1_C_1 \sim I_K_C_1$ と遅延検査系列 PD とを第 2 段復号回路 3 に出力する。第 2 段復号回路 3 は第 1 段復号回路 2 で誤り数が減少した第 1 段訂正第 1 ～第 K 情報系列 $I_1_C_1 \sim I_K_C_1$ に対して誤り訂正を行い、さらに誤り数を減少させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社